ISSN 2466-2232 (Print)
ISSN 2466-2100 (Online)

미세 에폭시 접착 접합층의 열전도도 측정기법

임다인^{***} · 이소정^{*} · 정승부^{**} · 김준기^{*,†}

^{*}한국생산기술연구원 용접접합그룹/마이크로조이닝센터

^{**}성균관대학교 신소재공학과

Thermal Conductivity Measurement Method for the Thin Epoxy Adhesive Joint Layer

Da-In Lim^{***}, So-Jeong Lee^{*}, Seung-Boo Jung^{**}, and Jun-Ki Kim^{*,†}

^{*}Welding & Joining R&D Group / Micro-joining Center, KITECH, Incheon, 21999, Korea

^{**}School of Advanced Materials Science & Engineering, Sungkyunkwan Univ., Suwon, 21999, Korea

[†]Corresponding author: jkim@kitech.re.kr

(Received December 23, 2020; Revised February 1, 2021; Accepted June 3, 2021)

Abstract

Epoxy adhesives, particularly for non-conductive pastes, are used in 3D chip-stack flip-chip packages to reinforce the mechanical strength of joints. Although the thickness of the adhesive layer is relatively small, its thermal conductivity is known to have a major effect on the heat dissipation behavior of chipstack packages. Because conventional thermal conductivity measurement methods such as the laser flash method are based on the bulk specimens having thicknesses greater than several mm, they are limited in their ability to measure the thermal conductivity of thin adhesive layers between silicon dies. In this study, a modified guarded hot-plate method is proposed using standard joint layer samples of known thermal conductivity, and the measurement results are compared with those of the laser flash method. Results showed that, based on a constant heat flux from heat source to heat sink, the temperature difference at both sides of the joint layers was proportional to the thermal resistivity of the joint layer materials. The thermal conductivity of the under-test joint layer could therefore be determined from the thermal conductivity spectrum of the known samples using a graphical method. Although the measured values by the modified guarded hot-plate method were slightly higher than those derived from the laser flash method due to the thickness effect, it was concluded that the modified guarded hot-plate method could be a practical method in measuring the thermal conductivity of thin adhesive joint layers.

Key Words: Thermal conductivity measurement, Thin adhesive joint layer, Epoxy adhesive, Chip stack package, Non-conductive paste

1. 서 론

모바일 정보통신기기 등 최근 전자제품의 소형화, 다기능화는 전자부품의 고집적화를 요구하고 있으며, 이에 따라 칩의 접속피치 미세화와 칩스택 기술이 발전하고 있다. 플립칩 패키지 기술은 와이어본딩 기술보다 전기적 특성이 우수하고 I/O (input/output)의 개수와 위치에 제약이 적어 더욱 작고 성능이 우수한 패키지를 구성할 수 있다. 칩스택 패키지의 종류로는 2.5D

패키지와 3D 패키지가 있으며, 2.5D 패키지는 수직으로 적층이 어려운 로직 칩과 메모리 칩을 실리콘 인터포저를 이용해 하나의 패키지로 만든 것이고 3D 패키지는 2개 이상의 칩을 수직으로 연결해 패키지로 만든 것이다. 최근에는 TSV (through silicon via) 기술을 통해 와이어본딩 칩스택 패키지의 한계를 넘어선 3D 패키지가 개발되고 있다^{1,2)}.

칩스택 패키지는 열 유속(heat flux)이 빨리 높아지고, 면적당 전력이 증가하여 소자가 과열되기 쉬운 문제가 있다^{3,4)}. 특히 작동온도에 민감한 메모리칩이 포

합된 칩스택 패키지의 경우 열에 의하여 오작동, 성능 저하, 수명단축 등의 문제를 일으킬 수 있기 때문에 반도체의 신뢰성 보장을 위해서는 열을 외부로 신속히 방출하는 것이 중요하다⁵⁾. 플립칩 본딩 칩스택 패키지의 경우 범프와 범프 주위의 접착 접합부를 통해 열이 전달되기 때문에 열을 효과적으로 방출하기 위해 접착 접합부의 열전도성을 향상시키는 연구가 활발히 진행되고 있다.

플립칩 본딩 공정에서 패키지 접합부의 보강을 위해 사용되는 접착제는 언더필 (underfill)과 NCP (non-conductive paste) 등이 있으며, 칩스택 패키지의 경우 언더필을 이용한 도포 및 충진이 어려우므로 선도포 후 본딩을 수행하는 NCP가 사용된다. 칩에서 발생된 열을 외부로 신속하게 방출시키기 위해서는 NCP 접합층의 열전도도가 높아야 하지만 NCP의 주원료인 에폭시는 고분자 재료의 특성상 열전도도가 0.2 W/m·K 정도로 방열특성이 좋지 않기 때문에 높은 열전도도를 가진 필러를 첨가하여 열전도도를 높일 필요가 있다⁶⁾.

칩스택 패키지 미세 접합층의 방열특성 최적화를 위해서는 미세 접합부의 열전도 특성에 대한 정확한 평가 방법이 필요하다. 일반적으로 열전도도를 측정할 수 있는 기법에는 guarded hot plate 방법, transient plane source 방법, 그리고 laser flash 방법 등이 있으며 이들의 모식도를 Fig. 1에 나타내었다. Guarded hot plate 방법은 hot plate와 cold plate 사이에 위치한 시편의 열 유속을 측정해 열전도도를 계산하는 방식이며, 정상 상태가 될 때까지 많은 시간이 필요한 것이 특징이다⁷⁾. Transient plane source 방법은 열원인 동시에 온도 측정을 할 수 있는 센서를 시편 사이에 설치해 시간에 따른 온도변화를 측정해 열확산도와 열전도도를 계산한다⁸⁾. Laser flash 방법은 시편의 한쪽 면에 레이저를 조사하여 가열하고, 반대편에 전달되는 시간을 적외선 센서로 측정하여 열확산도를 구하고 이를 이용해 열전도도를 계산하는 방식이다⁹⁾.

기존의 열전도도 측정기법들은 대부분 0.1 ~ 10 mm 정도의 두께를 갖는 bulk 시편을 필요로 한다. 칩 스택 패키지에서 실리콘 칩 사이에 위치한 NCP의 두께는 범프의 높이와 동일하게 수십 μm 정도인데, 이러한 NCP의 열전도도를 측정하기 위해 수 mm 두께의 bulk 시편을 제작하는 방법은 실제 NCP 본딩공정에서의 경화조건과 차이가 있기 때문에 기존의 열전도도 측정기법으로 이러한 미세 접착 접합층의 열전도도를 평가하는 데에는 어려움이 있다.

본 연구에서는 칩스택 패키지 미세 접합층의 열전도도를 평가하기 위한 새로운 방법으로서, 일정한 열량의 히트소스(heat source)와 일정한 방열의 히트싱크(heat sink), 일정 치수의 실리콘 다이(silicon die) 및 열전도도 표준시편을 사용하는 측정시스템을 구축하여 직접 제작한 NCP 시편에 대한 열전도도를 측정하고 그 결과를 laser flash 방법의 측정결과와 비교하여 미세 접합층에 대한 열전도도 측정기기로서의 활용가능성을 조사하였다.

2. 실험 방법

2.1 열전도도 측정원리

실리콘 다이 사이에 수십 μm 두께의 미세 접합층이 형성된 접합시편이 일정온도의 히트소스(T_1)와 히트싱크(T_2) 사이에 위치할 때 형성되는 온도구배를 Fig. 2에 나타내었다.

실리콘의 열전도도는 149 W/m·K로 비교적 높은 편으로 고분자소재인 접합층에 비해 온도구배가 작고 일정하다고 가정하면⁶⁾ T_2 온도는 접합층에서의 온도구배에 의해 결정되게 된다. 즉, 접합층의 열전도도가 높으면 온도구배가 작고 T_2 는 높은 온도를 보이는 반면에, 열전도도가 낮으면 온도구배가 크고 T_2 는 낮은 온도를 보인다. 따라서 히트소스, 접합시편, 히트싱크 간의 경계면에서 온도 T_1 과 T_2 의 차이인 ΔT 는 접합층

Fig. 1 Typical thermal conductivity measurement methods

Fig. 2 Temperature gradient of chip stack sample

의 열전도도와 반비례 관계에 있다고 볼 수 있다.

이러한 원리를 이용하여 히트소스의 열량과 시편의 치수를 일정하게 유지하면서 열전도도가 알려진 물질로 ΔT 와 열전도도 간의 관계식을 구하면 동일한 치수의 미지 시편에 대하여 열전도도를 측정할 수 있을 것으로 가정하였다.

2.2 열전도도 측정시스템 구성 및 실험과정

미세 접합층을 포함하는 칩스택 패키지의 열전도도 측정 장치는 히트소스 역할을 하는 ceramic resistor (MPR5W 0.5 Ω J, 14×18×5 mm), 히트소스에 일정한 전력을 공급하는 DC 전원공급기(TOYOTECH TDP-305B), 히트싱크 역할을 하는 냉각팬이 장착된 알루미늄 방열판(middle size head fan, 18×18 mm), 각 경계면에서 온도를 측정하는 초박형 열전대(RKC ST-50, 50 μ m) 3개, 단열패드 역할을 하는 aerogel fomex, 데이터 획득을 위한 DAQ(Measurement Computing USB-TC) 및 PC로 구성하였다.

Fig. 3에 나타난 모식도와 같이 시편의 아래쪽엔 ceramic resistor를, 시편의 위쪽엔 fan을 위치시켰고 열전대는 대기온도를 측정하는 AI0, 시편과 ceramic resistor 사이에 시편 아래 부분의 온도를 측정하는 AI1, 시편과 fan 사이에 시편 위 부분의 온도를 측정하는 AI2를 설치하였다. 시편과 ceramic resistor 주 위에는 단열패드를 설치하여 열이 옆쪽으로 분산되어

Fig. 3 Schematic of thermal conductivity measurement system for thin adhesive joint layer

나가는 것을 차단했다.

실험과정은 fan을 일정 전압(6.0 V)으로 작동시키고 5분 후 AI0, AI1, AI2가 일정한 온도를 유지할 때 ceramic resistor에 1.54 W (1.1 V, 1.4 A)의 전력을 주어 발열시키고 DAQ ami 프로그램을 이용해 각 온도의 변화를 측정하였다.

2.3 열전도도 측정 표준시료 및 NCP 접합시편

실험에 사용된 표준시편의 종류 및 이들의 대표적인 열전도도 값과 NETZSCH사의 LFA 447 모델을 사용하여 25 °C에서 laser flash 방법으로 측정된 NCP 경화물의 열전도도 값을 Table 1에 나타내었다. NCP는 filler 함량을 달리하여 직접 제조하였으며, 두께 1.5 mm로 180 °C에서 40분 동안 경화시킨 시편을 제작하여 열전도도를 측정하였다. Filler가 첨가되지 않은 NCP의 열전도도 측정값은 0.21 W/m·K이나 filler의 함량이 증가될수록 열전도도가 증가하여 filler 함량 80 wt%에서는 1.87 W/m·K로 측정되었다.

열전도도 표준시편은 미국의 G사를 통해 순도 99% 이상, 두께 1.5 mm의 sheet 소재를 구매하여 18×18 mm 크기로 가공하였다. 칩스택 패키지를 모사하기 위해 NCP를 사용하여 실리콘 다이 2개를 접합시킨 접합시편의 단면도를 Fig. 4에 나타내었다. 칩스택 접합시편은 18×18×0.75 mm 치수의 bare Si die 사이에 40 μ m

Table 1 Nominal thermal conductivity of standard samples and the measured thermal conductivity of NCP cured products by laser flash method

Sample	Metals					Ceramics			Polymers				NCP cured products			
	Sn	Pb	Ti	STS	Bi	TiO ₂	ZrO ₂	SiO ₂	HDPE	PC	PP	PS	No filler	Filler 60 wt%	Filler 70 wt%	Filler 80 wt%
Thermal conductivity (W/m·K)	66.8	35.3	21.9	16.1	7.97	3	2.25	1.46	0.5	0.19	0.17	0.1	0.21	0.62	1.08	1.87

Fig. 4 Cross-sectional view of NCP chip stack sample

두개의 스페이서와 함께 NCP를 도포하여 밀착시킨 후 180 °C에서 40분 동안 경화시켰다.

3. 결과 및 고찰

3.1 측정 시간에 따른 ΔT 의 변화

Fig. 3에 나타난 구성으로 일정한 heat flow 상태에서 시료의 양 계면 간의 ΔT 를 측정하기 위해 가열 시작 후 30분 동안 계면에서의 온도변화를 측정하였다. Fig. 5는 여러 시료 중에서 필러함량이 60 wt%인 칩스택 접합시편의 경우에 측정된 전형적인 온도변화 그래프이다. 실험 시작 후 약 200초까지는 양단 계면에서의 온도가 급격히 증가하다가 300초 이후에는 미세하게 증가하는 거동을 볼 수 있다. 이러한 미세한 거동은 Fig. 3의 시스템에서 단열재를 설치함에도 불구하고 전체 온도가 조금씩 상승하는 데에 기인하는 것으로 생각된다.

Fig. 5로부터 측정된 결과에서 AI1과 AI2의 차이를 나타내는 ΔT 를 계산하여 ΔT -시간 그래프를 Fig. 6에 나타내었다. ΔT 는 400초 이후에 거의 변화 없이 안정화된 것을 볼 수 있다. 열전도율이 높은 Sn 시료에서

Fig. 5 Temperature versus time curves for the case of 60 wt% NCP joining sample

Fig. 6 ΔT versus time curve for the case of 60 wt% NCP joining sample

부터 열전도도가 낮은 PS 시료까지 모두 이와 유사한 거동을 보였다. 이에 따라 각 시료에 대해 ΔT 값은 온도변화가 충분히 안정화된 영역인 25분~30분 구간에서 측정된 AI1, AI2 온도차이의 평균값을 사용하였으며 측정된 ΔT 값을 Table 2에 나타내었다.

3.2 ΔT 와 열전도도 간의 관계

각 시료별로 측정된 Table 2의 ΔT 와 Table 1의 열전도도와의 관계 그래프를 Fig. 7에 나타내었다. Fig. 7에서 ΔT 와 열전도도는 반비례 관계임을 알 수 있는데, 열전도도가 높은 영역과 낮은 영역의 기울기 차이가 커서 전체적인 영역에서의 반비례 관계식을 도출하기가 어려운 것으로 나타났다.

Fig. 7 ΔT versus thermal conductivity plot for the standard samples

Table 2 ΔT of standard samples

Sample	Sn	Pb	Ti	STS	Bi	TiO ₂	ZrO ₂	SiO ₂	HDPE	PC	PP	PS
$\Delta T(K)$	1.27	2.31	2.87	3.29	3.85	4.36	5.08	8.23	13.11	20.97	22.02	24.56

3.3 ΔT 와 열전도비저항 간의 관계

시료별 ΔT 를 통해 열전도도 값을 계산하기 위한 관계식을 얻기 위해, 열전도비저항(r)은 열전도도(λ)의 역수로 식 (1)과 같은 관계식을 갖는다는 점을 이용하여 Fig. 7의 ΔT -열전도도 그래프를 ΔT -열전도비저항으로 플로팅한 결과를 Fig. 8에 나타내었다.

$$\lambda = \frac{1}{r} \quad (1)$$

Fig. 8에서는 ΔT -열전도비저항 그래프를 지수함수로 피팅한 결과를 점선으로 나타내었으며, 그 관계식은 식 (2)와 같다.

$$y = y_0 + A \exp(D_0 x) \quad (2)$$

여기서 y_0 는 25.187, A 는 -22.867, D_0 는 -0.334이다. 식 (2)는 열전도비저항이 큰 영역에서 유효하며 열전도비저항이 작은 영역의 경우 데이터 포인트가 밀집되어 있어 식 (2)를 적용하기 어렵다. 따라서 열전도비저항이 작은 영역의 세밀한 구분을 위해 그래프를 확대하여 Fig. 9에 나타내었다. Fig. 9의 실선은 지수함수로 피팅한 결과이며 그 관계식은 식 (3)과 같다.

$$y = y_1 + B \exp(D_1 x) \quad (3)$$

여기서 y_1 는 4.215, B 는 -4.09, D_1 는 -24.31이다.

3.4 NCP 미세접합층의 열전도도 계산

Fig. 4에 나타낸 바와 같이 NCP 접합시편에서 NCP 자체는 40 μm 의 얇은 층에 불과하다. 따라서 실험을 통해 측정된 NCP 접합시편의 열전도도로부터 미세 NCP 접합층의 열전도도를 구하기 위해서는 열전달의

Fig. 8 ΔT versus thermal resistivity plot for the standard samples

Fig. 9 ΔT versus thermal resistance and its curve fitting for the low thermal resistance range

기본원리를 이용한 관계식의 도출이 필요하다.

열전달은 온도가 높은 곳에서 낮은 곳으로 자발적으로 전달되는 동적인 과정이며, 본 실험에서는 열전달 메커니즘 중 전도에 의한 열전달만을 대상으로 한다. Fig. 2와 같이 열원에서 수직 방향으로의 전도에 의해서 열이 전달되는 1차원 열전도 구배의 전도열량은 식 (4)로 표현할 수 있다¹⁰⁾.

$$Q = kA \frac{T_2 - T_1}{d} \quad (4)$$

여기서 k 는 시료의 열전도도를 표시하며 A 는 시료의 면적, d 는 시료의 두께, $T_2 - T_1$ 는 시료의 온도 차이이다.

정상상태에 도달하면 $T_2 - T_1$ 은 일정해진다. 열저항의 관계에 의하면 총 열저항(R)은 각 재료의 저항(R_n)의 합이므로 식 (5)와 같다. 열저항(R)은 열전도비저항(r)과 물체의 두께(d)와의 곱이며 식 (6)과 같다.

$$R = R_1 + R_2 + R_3 + \dots + R_n \quad (5)$$

$$R = r \times d \quad (6)$$

정상상태에서 Si 칩의 열전도 비저항(r_1), NCP 미세 접합층의 열전도 비저항(r_2), 칩스택 접합시편의 열전도 비저항(r_3)의 관계는 식 (7)과 같이 표현할 수 있다. 여기서 l_1 은 Si 칩의 두께, l_2 는 NCP 미세 접합층의 두께이다.

$$2 \times l_1 \times r_1 + l_2 \times r_2 = (2l_1 + l_2)r_3 \quad (7)$$

칩스택 접합시편의 ΔT 를 측정하고 도식화를 통해 열전도비저항을 측정한다면 위 식들을 이용하여 NCP 미세 접합층의 열전도도 값을 구할 수 있다.

칩스택 접합시편의 ΔT 는 2 $^{\circ}\text{C}$ 에서 4 $^{\circ}\text{C}$ 사이의 값이 측정되었다. 각각의 ΔT 값을 식 (3)에 대입하여 열

Table 3 Measured ΔT and estimated thermal properties of NCP chip stack samples

Chip stack specimen	ΔT	Thermal resistivity (m·K/W)	Thermal conductivity
Si	2.68	0.0385	26
Si-NCP(80)-Si	3.03	0.0493	20.28
Si-NCP(70)-Si	3.19	0.0559	17.89
Si-NCP(60)-Si	3.4	0.0671	14.9
Si-NCP(0)-Si	3.85	0.13	7.69

전도 비저항을 추산한 값과 식 (1)을 통해 계산한 열전도도 값을 Table 3에 나타내었다. NCP(0), NCP(60), NCP(70), NCP(80)은 각각 NCP에 첨가된 filler의 함량을 나타낸다.

식 (7)과 식 (1)을 통해 각 NCP 미세 접합층의 열전도비저항과 열전도도를 구한 값을 NCP bulk 시편에 대해 laser flash 방식으로 측정된 열전도도 값과 함께 Table 4에 나타내었다. NCP(0)은 0.28 W/m·K, NCP(60)은 0.88 W/m·K, NCP(70)은 1.41 W/m·K, NCP(80)은 2.2 W/m·K의 열전도도 계산 값을 구할 수 있었다.

3.5 측정방법에 따른 NCP 열전도도 비교

Table 4에 나타난 NCP 미세 접합층의 열전도도 계산 값과 laser flash 방식으로 측정된 열전도도 값을 비교해보면, 세 접합층 열전도도 측정 장치를 통해 측정한 NCP 미세 접합층의 열전도도 값은 전체적으로 laser flash 방법으로 측정된 열전도도 값보다 30% 이상 높게 나온 것을 알 수 있다.

소재의 미세조직이 이상적으로 균질하다면 소재의 열전도도는 두께에 의해 영향을 받지 않아야 하며, 접착제에 첨가된 filler 크기에 비해 경화물의 두께가 충분히 두꺼운 NCP bulk 시편이 이에 해당될 수 있다. 그러나 NCP 미세 접합층의 경우에는 경화 후 소재 두께가 40 μm 정도인데 비해 첨가되는 필러의 크기가 수

μm 이기 때문에 이러한 두께에서는 필러의 국부적인 응집거동이 열전달 경로에 영향을 미칠 수 있는데, NCP 미세 접합층의 열전도도 측정값이 bulk 시편보다 30% 이상 높게 측정된 것은 이러한 필러 크기 대비 미세 접합층의 두께효과에 기인하는 것으로 생각된다.

Table 4에서 이들 두 시험방법에 의해 측정된 열전도도 값들이 비교적 일정한 차이를 유지하는 것으로 보아 실험의 재연성도 어느 정도 확보된 것으로 생각되므로 일정한 치수의 샘플에 대해 열전도도 표준시편을 이용하는 본 연구의 열전도도 측정 방법은 미세 접착 접합층에 대한 실용적인 열전도도 측정기법으로 활용될 수 있을 것으로 판단된다.

4. 결 론

본 연구에서는 칩스택 패키지 미세 접합층의 열전도도를 정확히 측정하기 위한 방법으로 일정 면적과 두께의 시편들을 대상으로 열전도 표준시편과 Si-NCP-Si 미세 접합층 접합시편에 대한 비교시험을 통해 다음과 같은 결론을 얻을 수 있었다.

1) 히트소스/시편 및 시편/히트싱크 계면에서 측정된 온도차이(ΔT)는 시편의 열전도도가 높을수록 낮아지는 관계를 보였으며, ΔT 와 열전도비저항 간의 추세선 관계식 및 열전도도-열전도비저항 간의 관계식을 통해 접합시편 미세 접합층의 열전도도를 구할 수 있었다.

2) NCP 미세 접합층의 열전도도는 두께 1.5 mm의 bulk 시편에 대한 laser flash 방법보다 31%~42% 높게 측정되었는데 이는 필러의 국부적인 응집거동이 열전달 경로에 영향을 미칠 정도로 필러의 크기에 비해 작은 미세 접합층의 두께효과에 기인하는 것으로 생각되었다.

감사의 글

본 연구는 한국산업기술평가관리원의 연구지원(과제 번호 : 20010931)에 의해 수행되었으며 이에 감사드립니다.

Table 4 Thermal conductivity of NCP measured by two different methods

NCP	Thermal resistivity (m·K/W)	Thermal conductivity (W/m·K)		Difference between two methods
	Thin joining layer NCP by this method	1.5 mm cured NCP by laser flash method		
NCP(80)	0.455	2.2	1.65	33%
NCP(70)	0.709	1.41	1.08	31%
NCP(60)	1.136	0.88	0.62	42%
NCP(0)	3.571	0.28	0.21	33%

ORCID: Da-In Lim: <https://orcid.org/0000-0003-4213-1132>
 ORCID: So-Jeong Lee: <https://orcid.org/0000-0003-2287-8677>
 ORCID: Seung-Boo Jung: <https://orcid.org/0000-0002-7360-9859>
 ORCID: Jun-Ki Kim: <https://orcid.org/0000-0001-8543-9319>

References

1. J. W. Yoon, J. W. Kim, J. M. Koo, S. S. Ha, B. I. Noh, W. C. Moon, J. H. Moon, and S. B. Jung, Flip-chip Bonding Technology and Reliability of Electronic Packaging, *J. Korean Weld. Join. Soc.* 25(2) (2007) 108-117.
2. S. F. Al-sarawi, D. Abbott, and P. D. Franzon, A Review of 3-D Packaging Technology, *IEEE transactions on Components, Packag. Manuf. Technol.* 21(1) (1998) 2-14. <http://doi.org/10.1109/96.659500>
3. B. Dang, M. S. Bakir, and J. D. Meindl, Integrated Thermal-Fluidic I/O Interconnects for an On-Chip Micro-channel heat Sink, *IEEE Electron. Device Lett.* 27(2) (2006) 117-119. <http://doi.org/10.1109/LED.2005.862693>
4. M. S. Park, S. D. Kim, and S. E. K. Kim, TSV Liquid Cooling System for 3D Integrated Circuits, *J. Micro-electron. Packag. Soc.* 20(3) (2013) 1-6. <http://dx.doi.org/10.6117/kmeps.2013.20.3.001>
5. M. Alahmad and F. A. El-Aleem, Heat Transfer Challenges in Semiconductors Processing and the Applications of Heat Pipes for Efficient Heat Removal, *J. King Saud Univer. Eng. Sci.* 15 (2003) 141-154. [https://doi.org/10.1016/S1018-3639\(18\)30767-0](https://doi.org/10.1016/S1018-3639(18)30767-0)
6. W. S. Lee, I. Y. Han, Jin Yu, S. J. Kim, and K. Y. Byun, Thermal characterization of thermally conductive underfill for a flip-chip package using novel temperature sensing technique, *Thermochimica Acta*, 455(1-2) (2007) 148-155. <https://doi.org/10.1016/j.tca.2006.11.034>
7. A. Franco, An Apparatus for the Routine Measurement of Thermal Conductivity of Materials for Building Application Based on a Transient Hot-Wire Method, *Appl. Therm. Eng.* 27 (2007) 2495-2504. <https://doi.org/10.1016/j.applthermaleng.2007.02.008>
8. N. Yuksel, The Review of Some Commonly Used Methods and Techniques to Measure the Thermal Conductivity of Insulation Materials, *Insulation Mater. Context Sustain.* (2016) 113-140. <http://doi.org/10.5772/64157>
9. D. Ahao, X. Qian, X. Gu, S. A. Jajja, and R. Yang, Measurement Techniques for Thermal Conductivity and Interfacial Thermal Conductance of Bulk and Thin Film Materials, *J. Electron. Packag.* 138 (2016) 040802-1-19. <https://doi.org/10.1115/1.4034605>
10. T. K. Lee, E. Lua, K. C. Low, A. Ng, and H. W. Ng, Bonding Development for Non-Conductive paste(NCP), *2005 Electronics Packaging Technology Conference*, Singapore, (2005) 780-785. <http://doi.org/10.1109/EPTC.2005.1614504>