ISSN 2466-2232 (Print)
ISSN 2466-2100 (Online)

TSV (Through-Si-Via) 기술을 이용한 반도체의 3차원 적층 실장

조도훈* · 강혜준* · 서성민* · 김장백* · 스리하리니 라젠드란* · 정재필*,†

*서울시립대학교 신소재공학과

Three-Dimensional Semiconductor Stacking using TSV(Through-Si-Via) Technology

Do Hoon Cho*, Hye Jun Kang*, Seong Min Seo*, Jang Baeg Kim*, Sri Harini Rajendran*,
and Jae Pil Jung*,†

*Dept. of Materials Science and Engineering, University of Seoul, Seoul, 02504, Korea

†Corresponding author: jppjung@uos.ac.kr

(Received March 2, 2021; Revised March 18, 2021; Accepted April 20, 2021)

Abstract

Recently, the electronics industry is developing toward artificial intelligence, the Internet of things, fifth-generation technology, and high-performance computing. High-density electronics packaging, high speed, high performance, and miniaturized size are required to satisfy these trends. Three-dimensional Si-chip stacking using through-Si via (TSV) has attracted the attention of industries related to these requirements. In this study, TSV fabrication using the deep reactive ion-etching process and the coating of functional layers on the TSV wall, such as insulating, adhesion, and seed layers, were investigated. In addition, Cu electroplating in the TSV was analyzed in detail. The solutions to other accompanied technical barriers for packaging high-density electronics can improve smartness and convenience.

Key Words: Three dimensional packaging, Through-Si-Via, Functional layers, Electroplating

1. 서 론

최근 칩의 초고밀도 패키징화에 발 맞추어, TSV (through-Si-via, 실리콘 웨이퍼 관통홀) 기술을 이용한 Si 칩의 수직 적층 기술은 반도체 시스템 집적에 매우 중요한 기술이다. 전자산업에서 전자기기와 부품은 칩의 2차원적 배열인 2D 로부터, 인터포저 상에 칩을 평면으로 적층한 2.5D 방식, TSV를 이용하여 칩을 수직으로 적층한 3D 방식, 다이 위에 여러 개의 칩을 수직으로 적층한 5.5D에 이르기까지 반도체 패키징 산업은 고집적화 및 고성능화로 더욱 발전해 가고 있다. TSV 기술을 포함한 이러한 고밀도, 고집적 패키징 기술은 IoT(internet of things), AI(artificial intelligence), 5G(fifth generation) 통신, HPC(high performance computer) 등의 분야에서도 중요한 기술로서 자리 잡고 있다^{1,2)}.

TSV 기술을 이용하면 크기가 작고 성능이 우수한 전자 시스템을 만들 수 있다는 것이 장점인데, CMOS 이미지 센서, 적층 DRAM, 적층 NAND 플래시, SiP (system in package), 3D SOC(system on chip), HBM(high bandwidth memory) 등 다양한 분야에 적용될 수 있다¹⁾. 3D 패키징은 system integration 등에 적용될 수 있는데, 이는 2D, 2.5D 패키징에 비해 접속 거리가 짧아서, 디바이스를 최단거리 접속 가능하게 한다. Intel 등에서도 AI, 고성능 컴퓨터(HPC) 등에 사용할 chiplet system integration 등에 3D 패키징 기술을 기반으로 한 기술들을 발표하였다³⁾. 근래 삼성전자 등 산업계에서는 12 DRAM 칩을 60,000 개 이상의 TSV를 사용하여 적층한 보고도 있다⁴⁾. 또, MEMS(micro electro mechanical systems) 관련하여, 파워 디바이스의 과대 전류 감지 등을 위하여 TSV 구조 배선을 이용하여 Rogowski 코일 전류센서(coil current sensor)를 제작한 연구도 있다⁵⁾.

TSV 기술을 이용한 3D 적층기술은 실리콘 웨이퍼에 미세 관통홀을 형성하는 과정, 관통홀 내부 벽에 기능 박막층을 코팅하는 과정, 전도성 물질을 관통홀 내부에 충전시키는 과정을 거쳐서, 관통홀 노출과 웨이퍼 박층화를 위한 웨이퍼 연마(CMP, chemical mechanical polishing), 범핑, 적층과정을 통해 칩 간 직접 전기적 연결 통로를 확보하는 기술이다^{6,7)}. TSV 기술은 칩 내부에 직접 연결 통로가 확보되기 때문에 다른 칩과의 연결시 연결부의 길이를 최소로 줄일 수 있다. 이로 인해 전기저항이 줄어들고 데이터의 전송 속도도 빨라진다. 메모리나, 프로세서, 전력소자, 센서/액추에이터, 바이오칩 등 이종(異種)의 칩의 적층이나, 금후 차량용 반도체나 빅데이터 처리용 디바이스 등에 더욱 폭 넓게 적용하기 위해, 소형, 저소비전력, 고성능을 가진 3차원 실장기술의 발전이 필요하다^{1,8,9)}.

2. TSV 형성 및 DRIE 기술

Si wafer에 TSV를 형성하는 방법으로는 DRIE (deep reactive ion etching)법, metal-assisted chemical etching 법, 레이저(laser)를 이용하는 방법 등이 있다. TSV 형성에는 DRIE 법이 일반적으로 사용되고 있으며, Nd YAG 등을 사용한 레이저 드릴링법도 있다. 레이저 드릴링법은 관통홀 내부가 불균일하고 거칠며, 외부 Si 웨이퍼 표면에 Si 용융 찌꺼기의 생성 문제 등으로 인하여 적용에 한계가 있다¹⁰⁾. DRIE 기술은 미세 관통홀 형성에 95% 정도 사용되고 있는 가장 보편적인 기술로 여겨지고 있다¹¹⁾.

DRIE 방법은 Bosch 공법과 극저온 공법(cryogenic process)으로 나뉘어진다. Bosch 공법은 Si 웨이퍼의 등방성 플라즈마 에칭 기술로서, 반응 챔버에 혼합된 SF₆, CF₄, C₄F₈ 등의 불화물 가스에 플라즈마가 충돌하여 가스 분자를 이온으로 변환시킨다. 주로 SF₆ 가스에서 생성된 반응성 이온을 사용하여 실리콘을 에칭(etching)시키고, 테프론(teflon)과 유사한 특성을 갖는 C₄F₈ 막으로 관통홀의 측면을 보호(passivation)하는 과정을 반복하여 에칭을 하는 방법이다. 극저온 공법은 Bosch 공정에서 발생하는 부채꼴형(scallop) TSV 벽 문제를 해결하기 위해 개발된 공법이다. 식각 과정 중에 식각 방지층을 형성하는 O₂ 또는 CHF₃ + C₄F₈ 가스를 SF₆ 가스와 같이 공급하여 Si의 연속적인 식각을 유도한다¹²⁾. 이 과정은 등방성(isotropic) 에칭 특징을 띄지만 해당 과정을 -110℃ 극저온으로 진행하면, 극저온에서 화학적 반응이 느려지게 되면서 이방성 에칭(anisotropic etching)의 특징을 띄게 된다¹³⁾. 따라서 수직의 벽을 갖는 비아 제조가 가능하다.

DRIE를 이용하여 TSV를 형성하는 장점은 다수의 홀을 동시에 형성할 수 있다는 점과, 다양한 종횡비의 TSV의 형성이 가능하다는 점을 들 수 있다. DRIE 방법으로 0.5 mm 두께의 Si 웨이퍼에 관통홀을 제조하는데 약 100-1000회의 에칭/부동막 처리 과정이 필요하다.

레이저를 이용한 방법의 장점은 불화물계 에칭 가스 등의 유해물질을 사용하지 않고, TSV 형성을 위한 별도의 마스크가 필요하지 않다는 점을 들 수 있다. 단점으로는 레이저를 사용하여 형성한 전술한 TSV 입구 주변의 Si 스파터나 찌꺼기 외에, TSV 위쪽에 비해 바닥쪽의 직경이 조금 작고, TSV 내벽이 거칠며, 종횡비(aspect ratio)가 큰 TSV를 형성하기 힘들다는 점을 들 수 있다. 한편, metal-assisted chemical etching 법의 장점은 간단하고 저가의 공정으로 고가의 장비를 사용하지 않고 랩에서 사용할 수 있는 방법으로 알려져 있다^{14,15)}. 단점으로는 촉매로 주로 사용하는 Ag, Au, Pt 등이 고가이고 Si 으로의 확산으로 CMOS (complementary metal oxide semiconductor) 등의 성능에 악영향을 미친다는 것이다. 이와 관련하여 metal-assisted chemical etching 반응을 이용한 Si의 높은 종횡비(aspect ratio)를 갖는 TSV 제조 기술이 보고되었다^{14,16)}. 이 방법은 Si 혹은 SiO₂를 HF 가스를 사용하여 H₂SiF₆로 식각하여 TSV를 제조한다. Matsuo는 Si 칩 표면을 H₂SiF₆로 에칭하여 직경 수 μm 종횡비 100의 TSV를 형성하였다^{15,17)}.

DRIE 법은 Si 웨이퍼에 대해 식각과 보호층 증착을 반복하며 수직에 가까운 TSV를 만들 수 있다. DRIE에서 식각과 보호층 증착시 일어나는 화학반응은 아래 일련의 식들에 보인 바와 같다.

〈DRIE chemical reactions〉

① 에칭공정(etching term)

② 보호막층 형성공정(passivation term)

Fig. 1(a)는 DRIE 공정 진행의 개략도를 나타낸 것이고, Fig. 1(b)는 실제로 제조된 비아 벽면을 보인 것이다¹⁸⁾. 비아 벽면은 수직홀의 형상을 나타내지만, 에칭 및 보호막 층 반복 형성과정에서, Si 벽면을 미세하게 보면 부채꼴(scallop) 형상을 나타낸다.

DRIE에 의해 제조되는 TSV 형상에는 Fig. 2에 보

Fig. 1 Schematics of TSV drilling by DRIE process (a), and magnified via wall fabricated by DRIE (b)¹⁸⁾

Fig. 2 Relation between various TSV's and Cu electro-deposited shapes

인 것처럼 수직형 스트레이트(straight) TSV(Fig. 2 (b, c)), 경사형(tapered) TSV(Fig. 2(a)), 향아리형 등방성(isotropic) TSV(Fig. 2(d)) 등이 있다. 일반적으로 수직형 TSV가 많이 사용되는데, 도금액이나 도금 조건이 잘 조절되어야 결함 없는 Cu의 충전이 가능하다. 그렇지 않으면 전류 밀도가 높은 입구 모서리 부분의 동 도금층이 서로 연결되어 내부에 시임(seam) 결함이 생성되기 쉽다. 이를 개선하기 위해 모서리 부분의 전류 밀도를 낮추기 위해 모서리 부분을 모따기(rounding) 하기도 한다(Fig. 2(b)). 경사형 TSV는 입구의 직경이 넓고 바닥의 직경이 좁은데, 다양한 경사각을 만들 수 있으며, 경사형 TSV가 수직형 TSV나 향아리형 TSV에 비해, 도금시 TSV 입구가 막히는 현상이 덜 하기 때문에 TSV 내 도금 충전이 용이하다. 저자 등은 TSV 입구 직경 $44.3\ \mu\text{m}$, 바닥 직경 $34.2\ \mu\text{m}$,

깊이 $60\ \mu\text{m}$, 경사각도 11° 의 경사형 TSV를 제작하여 용이하게 Cu 충전을 실시한 바 있다¹⁹⁾. 반면 향아리형은 TSV 입구 막힘에 의해 내부에 기공(void)이나 심(seam) 결함의 발생이 용이하다.

3. TSV 내벽의 기능성 박막 코팅

기능성 박막(functional layer)은 TSV 내부와 TSV가 형성되지 않은 실리콘 웨이퍼에 절연층, 접합층, 시드층 등을 코팅한다. 코팅 물질 및 코팅 목적은 ① 절연층(insulating layer)으로서, 보통 SiO_2 , 혹은 SiN 을 TSV와 실리콘 웨이퍼의 전기적 절연을 위해 코팅하고, ② 접합층(adhesion layer)으로서 Ti 등을 TSV 내부의 충전 금속(보통 Cu)과 실리콘 웨이퍼 사이의 접합력을 향상시키기 위해 코팅하며, ③ 시드층(seed layer)으로서 Cu나 Au를, 충전 금속(보통 Cu)의 전해도금을 용이하게 하기 위한 전처리로 코팅한다.

기능성박막층의 코팅 예는 많은 선행 연구에서 $\text{SiO}_2/\text{Ti}/\text{Cu}$ ²⁰⁾와 같은 사례가 보고되어 있다. 절연층으로 형성되는 SiO_2 의 경우 실레인(SiH_4)을 이용하여 CVD로 증착할 수 있는데, SiO_2 CVD 증착 시의 화학반응식은 다음과 같다.

접합층인 Ti는 SiO_2 등의 절연층과 Cu 충전 금속 양쪽과 접합성이 모두 좋기 때문에 TSV 내벽표면의 SiO_2 층 위에 박막으로 형성한다. 마지막으로 시드층은 전술한 바와 같이 충전 금속인 Cu의 전해도금을 용이하기 위해 코팅하는데, 주로 동종의 Cu 박막을 코팅하지만²⁰⁾ Au를 코팅한 사례도 있다.(Fig. 3)²¹⁾ 저자 등은 SiO_2 , Ti, Au 층을 Si 벽 내측으로부터 TSV 쪽으로 차례대로 코팅하였다²¹⁻²³⁾.

Fig. 3 Interface between Cu filling and Au seed layer on the via side wall²¹⁾

Fig. 4 Structure of functional layers on a TSV

Au 층을 사용하는 이유는 산화방지 및 도금액 내에서의 화학적 안정성을 고려한 경우, Au의 특성이 Cu에 비해 우수하기 때문이다. Ti/Cu 또는 Ti/Au와 같은 금속박막 형성은 스퍼터링(sputtering)을 이용하여 형성되는 것이 보통이다. 저자 등은 절연층으로 1 μm 두께의 SiO_2 를 고밀도 플라즈마 CVD(high density plasma chemical vapor deposition, HDPCVD)로 코팅하고, 이어서 Ti를 접착층(adhesion layer) 및 Cu를 시드층으로 스퍼터 코팅장치로(sputter coater) 증착한 예가 있다¹⁹⁾. Cu 층은 전기전도성도 좋고 Au층에 비해 저가이지만, 산화되기 쉽고 이후의 비아내 Cu 도금 충전공정에서 Cu층이 도금액 중으로 용해되어 소모되는 단점이 있다. Fig. 4는 기능박막이 TSV 내에 형성된 구조를 나타낸 것이다.

TSV 내면에 형성되는 시드층은 Fig. 4 보듯이 비아 입구 부분이 두껍고 바닥 부분이 얇게 형성된다. 이러한 현상은 시드층 금속의 스퍼터링 시 금속 원자가 불규칙한 방향으로 직선상으로 나아가기 때문에 비아 홀 입구 부분은 바닥부분보다 금속 원자가 증착될 확률이 더 크며, 이로 인해 더 두꺼운 시드 층이 형성된다. 그 결과는 Hong 등²¹⁾의 연구에서 Fig. 5에 보인 것처럼

Fig. 5 EDS analysis for the adhesion layer of Ti (a), and seed layer of Au (b) on a TSV²¹⁾

스퍼터링된 Ti, Au 시드층과 이의 EDS 분석을 통해서도 확인된다. 그림에서 보듯이 TSV 입구 부분에서는 Au 시드 층이 두껍게 나타나고, 바닥 부분에서는 얇게 관찰된다.

4. TSV의 Cu 충전 도금

TSV 내벽을 기능성 박막으로 코팅한 후에 전도성 금속을 TSV에 충전한다. 보통은 전해도금법으로 충전하지만, 비아 홀 직경이 1 μm 이하로 아주 작은 경우나 트렌치(trench) 충전의 경우에는 무전해도금이 사용되기도 한다. 습식 코팅법으로 일반화 되어 있는 전기도금법은 전류를 흘려서 음극인 Si 웨이퍼의 비아 홀에 금속을 도금하는 방법이다. 전해 도금시 금속은 도금액 상의 금속이온(예, Cu^{++})이 음극에서 전자를 받아 비아 홀 내벽의 기능성 금속층에 석출된다.

음극에서 환원 석출되는 금속이온의 무게(W)는 도금 전류의 양에 비례하며, Faraday의 법칙에 의하여 계산될 수 있다(Eq. 7).

$$W = ZQ = (A/nF)Q = (A/nF)it \quad (7)$$

단, Q ; 통전량이며, i ; 도금 전류(A), t ; 도금 시간(s), Z ; 전기화학당량(electrochemical equivalent) (g/Coloumb), F ; Faraday 상수(96500 C/equivalent), n ; 가수

전기 도금법에 의한 TSV 내 Cu의 충전 방법은 공정 비용이 비교적 저렴한 장점이 있으며, 도금 전류 파형의 조절이나 첨가제를 가한 도금액을 사용하여 결함 없는 충전이 가능하다. 또, 실리콘 웨이퍼 내의 수 μm 직경의 작은 비아의 100 정도의 깊은 종횡비를 갖는 관통홀까지 도금이 가능하고, 양산이 가능하므로 TSV 충전에 가장 많이 사용되고 있다. TSV 내부 바닥부터 Cu가 도금되는 방법 중 전류 파형 조절에 의한 방법은 저자 등이 보고한 바 있다²⁴⁾. 그러나 Cu 전기 도금에 의한 TSV 충전시 전류밀도가 TSV 입구의 모서리 부분이 높기 때문에 결함이 많이 발생하기도 한다. TSV 내에 Cu를 도금할 때 도금이 진행되는 형상에 따라서, subconformal, conformal, superconformal의 3 종류로 구분한다(Fig. 6). Subconformal은 TSV 입구 부분에서 빠른 도금이 일어나며, TSV 내부가 Cu 도금되기전에 입구 도금층이 연결되어 내부에 기공(void) 결함이 생성된다. Conformal은 TSV 전체적으로 균일

Fig. 6 Schematic of sub-conformal, conformal, super-conformal electro-plating of Cu in TSV

한 속도로 도금이 진행되며, TSV 내부에 시임 결함을 남긴다. Superconformal 도금은 TSV 내부 바닥에서 빠른 도금이 일어나는 bottom-up 충전으로 TSV 내에 결함이 없는 도금부를 얻을 수 있다. 가속제의 농도에 따른 TSV 바닥으로부터의(bottom-up) Cu 충전에 대하여 Hoffmann 등이 연구 보고한 바 있다²⁵⁾.

TSV에 Cu등 도전성 금속을 충전할 경우, DC(direct current) 전기도금을 이용하면, 비아 홀 입구의 모서리 부분에 전류 밀도가 높아져서 비아 입구부에서 전착속도가 비아 바닥보다 빨라지는 sub-conformal 도금이 발생하기 쉬워진다. 따라서 sub-conformal 전착을 방지하고 보이드와 시임 등 결함이 없는 충전을 위해서는 TSV 입구부에 전류밀도의 집중을 방지해야 한다. 이를 위해 펄스 전류를 이용한 충전도금이 일반적으로 사용되고 있다. 그러나, Lee 등²⁶⁾의 보고에 의하면, 펄스 전류인 PPR(periodic pulse reverse) 파형에서도 환원전류밀도를 $-7 \sim -10 \text{ mA/cm}^2$ 로 하고, 산화전류밀도는 $30 \sim 50 \text{ mA/cm}^2$ 범위에서 가하며, 양극 및 음극 전극 사이의 거리를 3 cm 하였을 때, 도금 초기에 비아 바닥부가 미처 도금되기 전에 TSV의 입

Fig. 7 Void creation by over-growth of electro-deposited Cu at the top point (a),²⁶⁾ and middle point of via (b)²⁷⁾

구부가 막히게 되는 sub-conformal 전착이 나타났다. 이로 인하여, TSV 내부에 보이드와 시임 등의 결함이 발생하게 된다(Fig. 7(a)).

때로는 비아의 중간부분에서 먼저 도금이 일어나서 이들 도금부가 연결되면서, 비아 바닥쪽에 void와 seam 등의 결함이 발생하는 도금이 나타나기도 한다 Hong 등²⁷⁾에 의하면, 평균 전류 밀도 -7.71 mA/cm^2 의 PPR 전류 파형을 이용한 Cu 충전에서 양극 및 음극 전극 사이의 거리를 3 cm 하였을 때, Fig. 7(b)와 같은 Cu 충전 형상이 나타난다. 이것은 펄스 전류를 사용하더라도 TSV 바닥부터 우선 도금되는 bottom-up 도금이 부족하여, TSV 양쪽 벽에서 성장해 나온 구리 층이 TSV 중심부에서 만나 and middle point of via (b)²⁷⁾.

도금작업에서 펄스 전류는 음극에 도금을 일으키는 환원전류와 과도금층을 다시 용해시키는 산화전류를 번갈아 가한다. 이를 통하여, 환원전류만 흐를 때의 TSV 입구 모서리부의 전류 집중효과를 완화하여, 비아 입구부에서 도금속도를 저감시켜 비아 홀의 입구부가 막히는 현상을 억제한다. 펄스전류에는 산화전류 대신 도금 전류를 0으로 하여, 도금속도만을 0으로 하는 방법도 있으나, 산화전류를 가하는 방법에 비해 과도금 억제 효과가 떨어진다.

펄스에 의한 전류 파형 조절에 더하여, 도금액에 도

Fig. 8 Cu electro-deposition in TSV preferentially with additives

금속도 억제제 및 가속제를 첨가하여 결함발생을 억제 하면서 빠른 도금을 하기도 한다(Fig. 8 참조). 억제제로는 흔히 polyethylene glycol(PEG)를 사용하고^{19,28)}, 가속제로는 bis-(3-sodiumsulfopropyl) disulfide(SPS) 등이 사용된다²⁹⁾.

TSV 내에 결함 없는 Cu 도금 충전과 관련하여, Hong 등²¹⁾에 의하면 TSV 내 Cu 충전시 정(+)펄스 전류밀도를 1000 mA/dm^2 로 5 초간 인가하고, 역(-)펄스 전류밀도를 190 mA/dm^2 로 25 초간 인가하여 총 57.6 ks 동안 도금했을 때 결함이 없는 완전한 Cu 충전을 할 수 있었다(Fig. 9).

Fig. 10은 TSV 내에 Cu의 빠른 도금 충전을 위하여, 환원 전류와 산화 전류를 가한 후 짧은 시간 동안 전류를 인가하지 않는 휴지기간(current-off dura-

Fig. 9 Void-free electro-deposition of Cu in TSV(Cu filling in TSV in conditions of the forward pulse of 1000 mA/dm^2 for 5s and reverse pulse of 190 mA/dm^2 for 25 s)²¹⁾

tion)을 두는 펄스-역펄스 전류(PPR) 파형을 이용한 고속 전해 도금법의 도금기구(plating mechanism)를 보인 것이다.

펄스-역펄스 전류를 사용 할 경우, 환원 전류 기간에 TSV 내에 Cu가 도금되고, 산화 전류밀도가 걸리는 역펄스 기간에 TSV 입구 모서리 등 과도도금된 부분의 Cu 층이 도금액 중으로 다시 용해된다. 전류가 꺼지는 휴지기간에는 TSV 주위의 용해된 Cu 이온이 도금액 속으로 농도차에 의해 확산해 퍼져나간다. 이런 과정으로 인하여, TSV 입구는 막히지 않고 개방된 상태를 유지하며, TSV 내부에 보이드와 시임 등의 결함이 억제된다.

Fig. 10 Characteristics of periodic pulse reverse

TSV 내에 Cu 충전시 펄스 전류를 사용하면, 도금과 에칭이 반복되기 때문에 TSV 내 Cu 충전 시간이 길어지는 단점이 있다. 따라서 TSV의 충전 시간을 단축하고자 하는 연구가 진행되고 있다. Hong 등³⁰⁾은 TSV 내 도금속도 향상을 위해 Cu 합금을 사용한 TSV 충전을 보고하였다. Cu-Ni 합금 도금을 이용한 TSV의 PPR도금 충전에서, 순금속 Cu 충전에 비해 도금시간 20분 기준으로 약 1.36 배 빠른 결함 없는 고속 충전을 달성하였다. 한편, Ha 등³¹⁾은 직경 3 μm , 깊이 27 μm 의 TSV에 대해 도금액내의 sulfonated diallyl dimethyl ammonium chloride copolymer (SDDACC) 첨가제 최적화를 통해, 단 3분만에 TSV 내에 Cu의 충전을 완료하는 초고속 Cu 충전 연구 결과를 발표하기도 하였다.

또한, TSV 내 Cu 도금후 어닐링 처리시 TSV로부터 Cu 도금층 돌출은 Si 재질의 TSV 벽과 Cu 도금층 사이에 열팽창 계수 차이에 의한 응력을 유발하며, 이는 Cu 도금된 TSV 계면의 균열 및 수명 단축을 일으킨다. 이러한 문제점을 해결하기 위하여 Cu 도금층의 돌출 억제에 필요한데, 이를 위해 Cu-Ni 합금 도금이 보고되었다. Jung 등³²⁾은 TSV 내 Cu-Ni 도금을 통하여, 450°C 어닐링 조건에서 Cu-Ni 도금부(cu plug)는 약 1250 nm 돌출되었는데, 이는 같은 조건에서의 Cu 도금부 돌출길이 1360 nm에 비해 8.8% 돌출 길이가 감소된 것이다.

한편, 2.5D, 3D 등의 집적 반도체 디바이스의 패키징 과정에서, TSV의 형성과 Cu 충전 도금 문제 이외에도, Si 웨이퍼의 기계화학적 연마(CMP)에 의해 웨이퍼의 두께가 100 μm 이하로 얇아짐에 따라, 웨이퍼의 취급을 용이하게 하는 임시본딩(temporary bonding, TB) 및 디본딩(debonding) 기술이 또한 중요해지고 있다³³⁻³⁵⁾. 디본딩과 본딩 성능은 모두 접착제에 의해 많이 좌우된다. 접착제 및 접착 공정 기술에 대해 간략히 서술하면 다음과 같다. 즉, TB 접착제 소재로는 실리콘이나 폴리이미드 등을 사용할 수 있고, Si 웨이퍼의 캐리어는 실리콘이나, 유리를 사용할 수 있으며, 본딩 온도는 실리콘 접착제의 경우 약 180°C 내외, 폴리이미드 접착제의 경우 약 350°C 정도이다. 본딩부의 열적 안정성은 실리콘 접착제의 경우 약 250°C, 폴리이미드 접착제의 경우 약 350°C 이상이다. 디본딩 방법은 4가지 정도로 나눌 수 있는데, 열적 슬라이드 오프(slide-off)법, 화학적 용해법, 레이저 보조법(엑시머 레이저 등 사용), 리프트 오프(lift-off)법 등이 있다³⁶⁾. 이에 관한 보다 상세한 서술은 지면 관계상, 이후의 리뷰 논문에서 다루기로 하고, 문헌을 참고해 주

기 바란다.

이상에서 반도체 Si 칩의 3차원 적층 실장을 위한 TSV 연구들에 대해 살펴 보았다. 금후의 3차원 실장 기술의 발전과 관련하여, 웨이퍼 레벨의 3차원 실장에서는 웨이퍼 표면의 거칠기를 1 nm 이하로 하는 화학 기계적 연마(CMP, chemical mechanical polishing), 웨이퍼 뒷면의 연마기술, 웨이퍼간의 접합(WoW, wafer on wafer) 등¹⁾도 IoT, 5G, AI, HPC 등 3차원 실장 적용분야의 원가 절감을 위해 더욱 연구할 필요가 있다고 판단된다.

5. 결 론

본 고에서는 Si 웨이퍼에 TSV를 이용한 3차원 고밀도 패키징에 대하여 연구 동향을 조사 보고하였다. AI, IoT, 5G, HPC 등 많은 최신 혹은 미래의 전자기기와 기술 분야에서 고집적 고성능 전자패키징 기술이 필요하며, 3차원 집적기술은 이에 기여하는 바가 점점 커지고 있다. 3차원 실장 기술 중 집적도가 높은 Si 웨이퍼상의 TSV는 DRIE 공정에 의해 수직 홀을 만들고 실장 밀도를 높이기 위해 직경 수 μm 정도의 TSV를 형성하고, 종횡비 100의 아주 깊은 홀까지 제조한다. 이러한 TSV의 고밀도화에 동반되는 TSV 간의 Cu 이동(migration)에 의한 절연파괴, TSV의 저항, 인덕턴스 등 전기적 문제, TSV의 상호 간섭 문제, Cu 도금층의 결함 억제와 빠르고 정확한 결함의 탐지, 응력발생, 웨이퍼의 보다 미세한 연마 및 생산성 향상 등을 해결하는데 많은 노력이 필요할 것으로 판단된다. 금후 가속화하는 전자기기와 부품의 성능발전과 경박단소화에 대응하여 Si 칩의 3차원 적층기술에 대한 더 많은 연구와 발전을 기대한다.

감사의 글

이 연구는 한국연구재단의 이공 분야 기초 연구 사업(과제번호 : NRF-2020R1A2C1009851)의 연구비 지원으로 수행되었습니다.

ORCID: Do Hoon Cho: <https://orcid.org/0000-0002-4201-5820>

ORCID: Jae Pil Jung: <https://orcid.org/0000-0002-4526-0442>

References

1. K. Kikuchi, 3D- IC Technology for Contribution to the IoT Society, *J. Japan Inst. Electron. Packag.* 22(6) (2019) 501-506.
<https://doi.org/10.5104/jiep.22.501>
2. E. J. Marinissen, T. McLaurin, and H. Jiao, IEEE Std

- P1838: DfT Standard-under-development for 2.5D-, 3D-, and 5.5D-SICs., *Proceedings 2016 21st IEEE European Test Symposium(ETS)*, (2016) (Amsterdam) 1-10.
<https://doi.org/10.1109/ETS.2016.7519330>
3. H. Nishida, Packaging Technologies for HPC/AI Applications in New Intelligence Era, *J. Japan Inst. Electron. Packag.* 23(7) (2020) 562-572.
<https://doi.org/10.5104/jieip.23.562>
  4. Samsung newsroom, Oct 7, 2019, <https://news.samsung.com/global/samsung-electronics-develops-industrys-first-12-layer-3d-tsv-chip-packaging-technology>.
  5. Y. Watanabe, M. Kato, T. Yahagi, H. Murayama, K. Yoshida, K. Sashida, K. Ikeda, K. Ikeda, and T. Take-mori, MEMS Rogowski Coil Current Sensor with TSV Structural Wiring, *Trans. Japan Inst. Electron. Packag.* 24(1) (2021) 101-106.
<https://doi.org/10.1541/ieejsmas.139.238>
  6. M. H. Roh, J. H. Lee, W. J. Kim, J. P. Jung, and H. T. Kim, Various Cu Filling Methods of TSV for Three Dimensional Packaging, *J. Korean Weld. Join. Soc.* 31 (2013) 11-16.
<https://doi.org/10.5781/KWJS.2013.31.3.11>
  7. J. N. Calata, J. G. Bai, X. Liu, S. Wen, and G. Q. Lu, Three-Dimensional Packaging for Power Semiconductor Devices and Modules, *IEEE Trans. on Advan. Package.* 28(3) (2005) 404.
<https://doi.org/10.1109/TADVP.2005.852837>
  8. M. Umemoto, K. Tanida, Y. Nemoto, M. Hoshino, K. Kojima, Y. Shirai, and K. Takahashi, High-performance vertical interconnection for high-density 3D chip stacking package, *2004 Proceedings. 54th Electronic Components and Technology Conference.* (2014), (Las Vegas, Nv, USA) 616.
<https://doi.org/10.1109/ECTC.2004.1319402>
  9. T. Ritzdorf, L. Graham, S. Jin, C. Mu, and D. Fraser, Self-Annealing of electrochemically deposited copper films in advanced interconnect applications, *Proceedings of the IEEE 1998 International Interconnect Technology Conference.* (1998) (San Francisco, United States), 166.
<https://doi.org/10.1109/IITC.1998.704781>
  10. S. J. Hong, K. S. Kim, N. Zhou, and J. P. Jung, Di-mensional Packaging Technology Using Via, *J. Korean Weld. Join. Soc.* 24(2) (2006) 137-141.
  11. D. Witorsa, M. Soundarapandian, S. W. Yoon, V. Kripesh, T. K. Weng, R. Nagarajan, and O. K. N. Khan, Through wafer copper via for silicon based SiP application, *2005 7th Electronic Packaging Technology Conference.* (2005) (Singapore) 7.
<https://doi.org/10.1109/EPTC.2005.1614358>
  12. S. Tachi, K. Tsujimoto, and S. Okudaira, Low-temper-ature reactive ion etching and microwave plasma etch-ing of silicon, *Appl. Phys. Lett.* 52(8) (1988) 616-618.
<https://doi.org/10.1063/1.99382>
  13. K. A. Addae-Mensah, S. Retterer, S. R. Opalenik, D. Thomas, N. V. Lavrik, and J. P. Wikswo, Cryogenic Etching of Silicon, An Alternative Method for Fabrication of Vertical Microcantilever Master Molds, *J. Microelectromechanical Syst.* 19(1) (2010) 64-74.
<https://doi.org/10.1109/JMEMS.2009.2037440>
  14. Z. Huang, N. Geyer, P. Werner, J. de Boor, and U. Gösele, Metal-Assisted Chemical Etching of Silicon, *A Rev. Adv. Mater.* 23 (2011) 285-308.
<https://doi.org/10.1002/adma.201001784>
  15. K. Matsuo, Silicon etching technique for fabrication high aspect ratio vertical structures using metal-as-sisted chemical etching (MacEtch), *Toshiba Rev.* (in Japanese), 73(4) (2018) 56-57.
  16. C. Chartier, S. Bastide, and C. Levy-Clement, Metal-assisted chemical etching of silicon in HF-H₂O₂, *Electrochim. Acta*, 53 (2008) 5509-5516.
<https://doi.org/10.1016/j.electacta.2008.03.009>
  17. Article, Corporate Manufacturing Engineering Center TOSHIBA Corporation, *Trans. Japan Inst. Electron. Packag.* (in Japanese), 23(6) (2020) 543.
  18. S. C. Hong, W. G. Lee, J. K. Park, W. J. Kim, and J. P. Jung, Cu Filling into TSV and non-PR Sn bumping for 3 Dimension Chip Packaging, *J. Korean Weld. Join. Soc.* 29(1) (2011) 4-8.
<https://doi.org/10.5781/KWJS.2011.29.1.009>
  19. M. H. Roh, A. Sharma, J. H. Lee, and J. P. Jung, Extrusion Suppression of TSV Filling Metal by Cu-W Electroplating for Three-Dimensional Microelectronic Packaging, *Metall. Mater. Trans. A.* 46A(3) (2015) 2051-2062.
<https://doi.org/10.1007/s11661-015-2801-z>
  20. W. Ahmed, E. Ahmed, and A. Dost, Chemical Vapour Deposition (CVD) of Borophosphosilicate Glass Films. *J. Mater. Sci. Mater. Electron.* 7.2 (1996) 127-131.
<https://doi.org/10.1007/BF00225635>
  21. S. J. Hong, S. C. Hong, W. J. Kim, and J. P. Jung, Copper Filling to TSV(Through-Si-Via) and Simplification of Bumping Process, *J. Microelectron. Packag. Soc.* 17(3) (2010) 79-84.
  22. S. C. Hong, D. H. Jung, W. G. Lee, W. j. Kim, and J. P. Jung, Non-PR Sn-3.5Ag Bumping on a Fast Filled Cu-Plug by PPR Current, *IEEE Trans. Compon. Packag. And. Manuf. Technol.* 3(4) (2013) 574-580.
<https://doi.org/10.1109/TCPMT.2013.2240765>
  23. B. H. Kim, H. C. Kim, K. J. Chun, J. H. Ki, and Y. S. Tak, Cantilever-type microelectromechanical systems probe card with through-wafer interconnects for fine pitch and high-speed testing, *Japan. J. Appl. Phys.* 43 (6B) (2004) 3877.
<https://doi.org/10.1143/JJAP.43.3877>
  24. S. C. Hong, D. H. Jung, J. P. Jung, and W. J. Kim, Effective Cu Filling Method to TSV for 3-dimensional Si Chip Stacking, *Korean J. Met. Mater.* 50(2) (2012) 152-158.
<https://doi.org/10.3365/KJMM.2012.50.2.152>
  25. L. Hofmann, R. Ecke, S. E. Schulz, and T. Gessner, Investigations regarding Through Silicon Via filling

- for 3D integration by Periodic Pulse Reverse plating with and without additives, *Microelectron. Eng.* 88 (2011) 705-708.
<https://doi.org/10.1016/j.mee.2010.06.040>
26. S. J. Lee, Y. J. Jang, J. H. Lee, and J. P. Jung, Cu-Filling Behavior in TSV with Positions in Wafer Level, *J. Microelectron. Packag. Soc.* 21(4) (2014) 91-96.
<https://doi.org/10.6117/kmeps.2014.21.4.091>
  27. S. C. Hong, W. j. Kim, and J. P. Jung, High-Speed Cu Filling into TSV and Non-PR Bumping for 3D Chip Packaging, *J. Microelectron. Packag. Soc.* 18(4) (2011) 1-5.
<https://doi.org/10.6117/kmeps.2011.18.4.049>
  28. J. K. Jhothiraman and R. Balachandran, Electroplating: Applications in the Semiconductor Industry, *Adv. Chem. Eng. Sci.* 9 (2019) 239-261.
<https://doi.org/10.4236/aces.2019.92018>
  29. C. Gabrielli, P. Mocoteguy, H. Perrot, S. D. Nieto, and A. Zdunek, A Model for Copper Deposition in the Damascene Process, *Electrochim. Acta.* 51 (2006) 1462-1472.
<https://doi.org/10.1016/j.electacta.2005.02.127>
  30. S. C. Hong, S. Kumar, D. H. Jung, W. J. Kim, and J. P. Jung, High Speed Cu-Ni Filling into TSV for 3-Dimensional Si Chip Stacking, *Met. Mater. Int.* 19(1) (2013) 123-128.
<https://doi.org/10.1007/s12540-013-1020-7>
  31. H. V. Ha, and K. Kondo, Extreme fast filling of conical shape through-silicon vias in 3 minutes and additive optimization, *Electrochim. Acta*, 212 (2016) 270-276.
<http://dx.doi.org/10.1016/j.electacta.2016.06.021>
  32. H. S. Jung, Y. J. Jang, S. H. Choa, and J. P. Jung, Lower Protrusion of a Copper-Nickel Alloy in a Through-Silicon via and Its Numerical Simulation, *Mater. Trans.* 56(12) (2015) 2034-2041.
<https://doi.org/10.2320/matertrans.M2015335>
  33. X. Zhang, J. K. Lin, S. Wickramanayaka, S. Zhang, R. Weerasekera, R. Dutta, K. F. Chang, K. Chui, H. Y. Li, D. S. W. Ho, L. Ding, and G. Katti, S. Bhattacharya and D. Kwong, Heterogeneous 2.5D Integration on Through Silicon Interposer, *Appl. Phys. Rev.* 2 021308 (2015) 1-58.
<https://doi.org/10.1063/1.4921463>
  34. N. Sekhar, R. Qin, and S. Wickramanayaka, Mitigation of thin wafer handling issues in TSV (Through Silicon Via) fabrication for advanced packaging applications, *2016 IEEE 23rd International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, (2016) (Singapore) 301-304.
<https://doi.org/10.1109/IPFA.2016.7564305>
  35. Q. Ren, W. L. Loh, S. K. Neo, and K. J. Chui, Temporary Bonding and De-bonding Process for 2.5D/3D Applications, *2020 IEEE 22nd Electronics Packaging Technology Conference (EPTC)*. (2020) (Virtual Conference) 27-31.
<https://doi.org/10.1109/EPTC50525.2020.9315033>
  36. H. Ishida and S. Lutter, Permanent Wafer Bonding and Temporary Wafer Bonding/ De-Bonding Technology Using Temperature Resistant Polymers, *J. Photopolym. Sci. Technol.* 27(2) (2014) 173-176.
<https://doi.org/10.2494/photopolymer.27.173>