

Taguchi 실험계획법 기반 수치해석을 이용한 TSV계면과 솔더 접합부의 최적화

방한서 · 방희선 · 박세민 · 이창우

Optimizing Mutiple Quality Characteristics of Through Silicon Via(TSV) Interface and Solder Joint Interface by Numerical Analysis-based Taguchi Method

Han-Sur Bang, Hee-Seon Bang, Se-Min Park and Chang-Woo Lee

1. 서 론

모바일과 유비쿼터스 센서, 네트워크 센서 시대가 도래함에 따라 가볍고, 작고, 얇고, 멀티기능을 구현할 수 있는 부품에 대한 요구가 증대되고 있다. 이에 대한 여러 가지 솔루션 중 MCM(Multi Chip Module)의 개념을 수직 방향으로 확장시킨 3D IC가 최근 각광을 받고 있다^{1,2)}. 이는 물리적인 한계에 부딪힌 반도체 집적 공정의 한계를 극복하여 지속적으로 무어의 법칙에 맞춰 집적도를 향상시킬 수 있을 뿐만 아니라 소재와 공정이 달라도 3차원적으로 집적이 가능하여 메모리와 프로세서로 대표되는 디지털 칩뿐만 아니라 아날로그/RF, 수동소자, 전력소자, 센서/액추에이터, 바이오칩 등을 하나로 패키징 할 수 있는 장점이 있기 때문이다³⁾.

솔더 접합부의 플립칩 접합 기술은 한 개의 chip내에 1000개 이상의 I/O를 구현 할 수 있어 현대 각광을 받는 패키징 기술이다. 또한 Si 웨이퍼에 구멍을 뚫어 Chip들을 위로 쌓아 올리면서 한층 한층씩 접합을 시키는 MCP(Multi Chip Packaging)는 고집적, 고밀도의 패키징 기술의 하나로써 I/O의 개수를 더욱 많이 구현할 수 있다는 장점이 있다. MCP 기술 중 TSV (Through Via Hole)의 구조^{4,5)}는 Si 웨이퍼에 구멍을 뚫어 연결하는 방법으로 위로 쌓아올린 칩들을 직접 연결할 수 있어 다른 방법에 비해 보다 작은 접합면적에서 많은 기능을 실행할 수 있다. 이러한 기술을 시행하기 위해서는 미세 솔더 범프를 필요로 한다⁶⁾.

본 연구에서는 MCP 방법 중 하나인 TSV구조에서의 플립칩 접합기술을 이용 할 때 장치의 디자인 변수를 TSV 직경, 솔더 두께, TSV 피치, 언더필 두께로 선택하여 솔더계면과 비아계면에서의 열 하중에 의해 발생하는 열응력들을 분석하여 신뢰성을 평가하고자 한다.

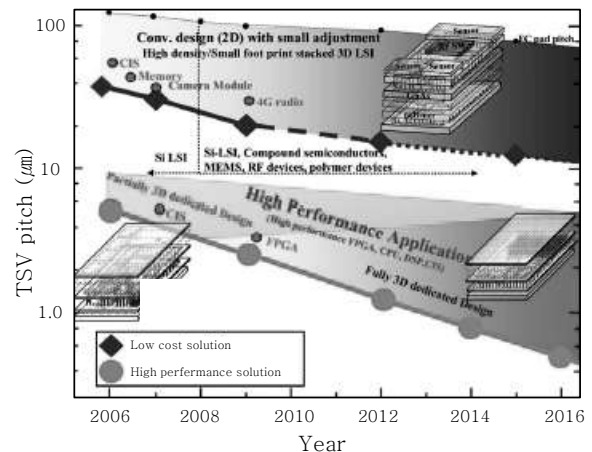


Fig. 1 3D technology road map

열응력에 대한 신뢰성의 평가는 Minitab16을 이용하여 Taguchi 직교 9배열법에 의해 각각의 변수에 대한 열응력의 결과값으로 신뢰성을 평가하였다.

2. 본 론

2.1 3차원 수치해석 조건

수치해석 모델의 기계적 조건은 64개의 범프가 있는 Si 웨이퍼를 8층으로 수직적층 시킨 TSV 구조의 2층 모델을 1/4모델링을 하였고, 부품별 사이즈는 Fig. 2에서 보이는 바와 같이 TSV의 필링 재료(Cu)는 $20 \times 70\mu\text{m}$ (diameter \times height), Sn 합금솔더는 $20 \times 5\mu\text{m}$ (diameter \times height), 언더필은 $30 \times 30 \times 40\mu\text{m}$ (length \times width \times height)의 사이즈를 기준으로 실험을 실행하였다⁷⁾.

열적 조건은 장치의 신뢰성평가 방법 중 하나인 Thermal-Cycling 조건에서 대류해석을 실행하였다.

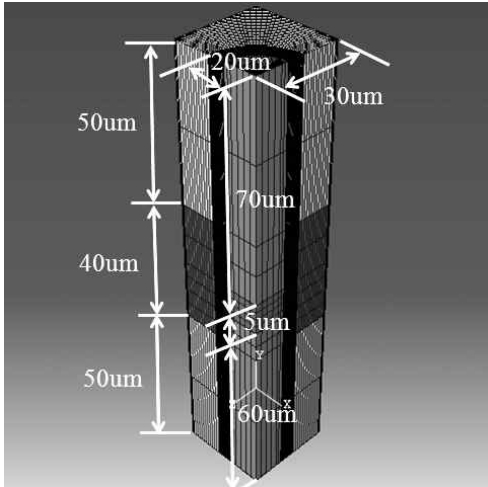


Fig. 2 3D TSV quarter model

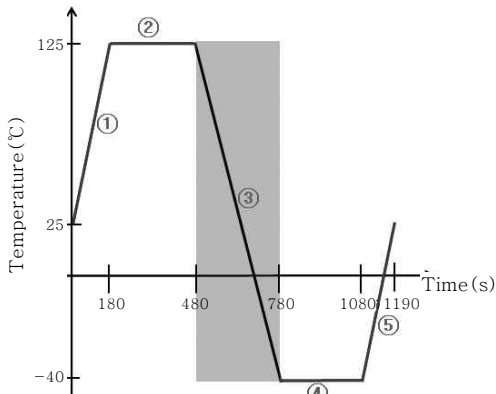


Fig. 3 Temperature amplitude of Thermal-Cycling

Fig. 3에서 보이는 바와 같이 온도의 구간은 JEDEC22-A104D 규격을 기준으로 하여 $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 설정하였고, Dwell time과 Ramp time을 각각 300초로 설정하였고, 시작온도와 마지막 온도를 25°C 로 설정하였다. 해석시간은 총 1190초이며, 시간의 대한 온도 기울기의 변화는 JEDEC Standard 규격의 비율에 맞추어 선정하였다⁸⁻¹⁰⁾.

2.2 Taguchi 실험계획법

TSV 구조에서의 각각의 재료의 디자인 사이즈 변수에 따른 열기계적 응력 분포를 확인하기 위하여 Taguchi L9 직교 배열 실험계획법(Fig. 5)¹¹⁾을 이용하였다. Fig. 4에서 보이는 바와 같이 3수준 4요인의 실험계획법을 설정하였고, 실험변수는 TSV의 직경을 각각 10/20/30um, 솔더의 두께를 2/5/10um, TSV의 피치는 20/40/60um, 언더필의 두께는 20/40/50um로 결정하였다. 제 2수준을 기준으로 하여 실험

Parameter	1	2	3
TSV diameter (A)	10 μm	20 μm	30 μm
Solder thickness(B)	2 μm	5 μm	10 μm
TSV pitch(C)	20 μm	40 μm	60 μm
Underfill thickness(D)	20 μm	40 μm	50 μm

Fig. 4 Parameters varied in three levels

Run	A	B	C	D
1	1	1	1	1
2	1	2	2	2
3	1	3	3	3
4	2	1	2	3
5	2	2	3	1
6	2	3	1	2
7	3	1	3	2
8	3	2	1	3
9	3	3	2	1

Fig. 5 Taguchi L9 orthogonal array

을 실행하였고, 망대특성을 채택하여 평균의 평균이 클수록 좋은 신뢰성을 갖는 디자인 그래프를 설정하여 나타낼 수 있도록 프로그램을 결정하였다.

2.3 열응력 분포에 대한 신뢰성 평가

Taguchi 실험계획법을 통한 실험 변수에 대하여 Fig. 3의 Thermal-Cycling조건에서의 대류열에 대한 응력 분포를 확인하였다.

모든 실험조건에서의 열응력 분포의 경향은 Fig. 6에서 보이는 바와 같이 TSV구조에서의 플립칩 솔더 접합부의 계면과 TSV와 Cu 필링재료의 계면에서 응력이 집중되는 현상을 확인할 수 있었고, 가장 큰 응력이 발생될 때의 온도조건은 Fig. 3의 연두색 부분(3)에서

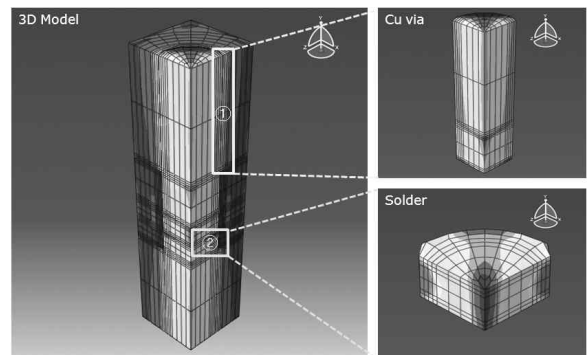


Fig. 6 Trend of stress concentrations

보이는 바와 같이 온도가 125℃에서 -40℃, 165℃의 온도가 급격히 변화할 때 가장 큰 열응력이 발생됨을 확인할 수 있다¹²⁾.

각각의 변수 중 TSV의 직경이 가장 작을 때(10um)의 실험과, 언더필의 두께가 가장 작을 때(20um)의 실험에서 가장 큰 열응력이 발생하였으며, 솔더 계면에서의 열응력의 값은 각각 65MPa과 86MPa, TSV계면에서의 열응력의 값은 각각 28MPa과 60MPa이 발생하였다. TSV직경과 언더필의 두께의 변화에 따라 발생하는 열응력 값들의 변화의 폭이 가장 큰 것을 확인할 수 있었다¹³⁾.

열에 대한 응력이 최소가 되는 최적조합을 판단하여 Taguchi 실험계획법의 망대특성을 이용한 열응력 값에 대한 평균의 평균값이 높을수록 신뢰성이 좋은 영향을 주는 요인으로 결정하여 실험을 진행하였다. Fig. 7는 솔더 계면에서의 신뢰성의 반응들을, Fig. 8은 TSV 계면에서의 신뢰성의 반응들을 수치로 나타낸 것이다.

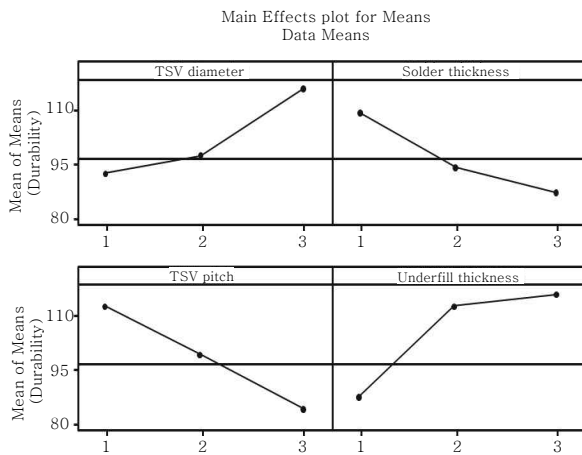


Fig. 7 Durability of dissimilar solder interface

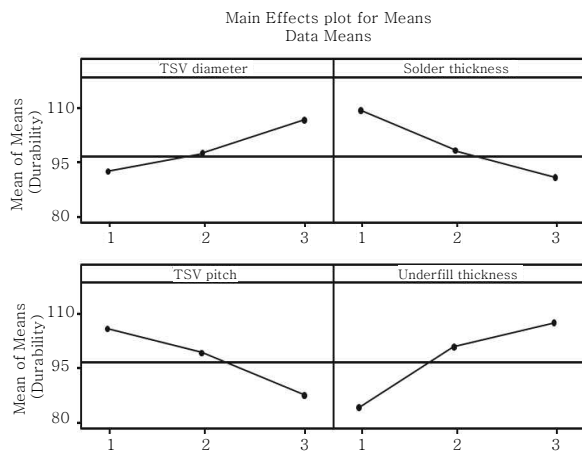


Fig. 8 Durability of dissimilar TSV interface

Fig. 7과 Fig. 8에서 보이는 바와 같이 두 계면에서의 열응력에 대한 신뢰성 반응의 경향은 비슷하게 나타남을 확인할 수 있다. TSV의 직경이 증가할수록 솔더의 두께가 감소할수록 TSV 피치가 감소할수록 언더필의 두께가 증가 할수록 신뢰성에 좋은 영향을 미친다는 것을 확인할 수 있었다. 솔더의 두께와 TSV 피치의 변수는 사이즈가 바뀔때 그래프가 일정한 형상을 나타내지만 TSV 직경과 언더필의 두께의 변수는 그래프의 형상이 일정하지 않음을 확인할 수 있다. 이는 TSV 직경과 언더필의 두께의 변수를 어떻게 결정하느냐가 접합부의 신뢰성에 많은 영향을 미친다는 것을 의미한다⁸⁾.

3. 결 론

전자제품의 경량화, 소형화는 칩의 크기 감소와 고집적도를 요구한다. 칩의 크기가 작아질수록 열에 의한 신뢰성이 감소할 수밖에 없으므로 이에 대한 연구가 중요시 되어진다.

본 연구에서는 초미세칩에서의 열에 의한 응력분포를 확인하기 위하여 수치해석을 진행하였고, Taguchi 실험계획법을 이용하여 TSV의 직경, 솔더의 두께, TSV의 피치, 언더필의 두께를 변수로 설정하여 열응력값에 따른 신뢰성을 평가하였다. 전체적인 응력의 집중현상은 CTE의 차이가 가장 큰 솔더 접합부의 계면과 TSV의 계면에서 나타남을 확인할 수 있었다. 신뢰성의 경향은 솔더의 두께와 TSV의 피치가 증가할수록 신뢰성이 감소하였고, TSV의 직경과 언더필의 두께가 증가할수록 신뢰성이 향상되어짐을 확인하였다. TSV의 직경과 언더필의 두께가 증가할수록 신뢰성은 향상되지만, 부품의 크기가 증가하게 되어 현재의 전자 패키징 산업의 추세에 부합되지 못하므로 경제적 손실을 최소화 할 수 있는 부품크기의 최적화가 요구되어진다.

참 고 문 헌

1. E. Beyne, B. Swinnen, 3D system integration, in: IEEE, International Conference on IC Design and Technology, ICICDT, 2007
2. S.Yo. Wook, D. Witorsa, S.Y.M. Lim, V. Ganesh, A.G.K. Viswanath, T.C. Chai, K.O. Navas, V. Kripesh, Reliability studies of a through silicon via stacked module for 3D micro system packaging, in: Electronic Components and Technology Conference, 2006, 1449-1453
3. K. Darbha, J.H. Okura, S. Shetty, A. Dasgupta, T. Reinikainen, J. Zhu, J.F.J.M. Caers, Transaction of ASME Journal of Electronic Packaging 121 (1999) 238-241

4. P.S. Andry, C. Tsang, E. Sprogie, C. Patel, S.L. Wright, B.C. Webb, L.P. Buchwalter, D. Manzer, R. Horton, R. Polastre, J. Ickerbocker, OS-compa tible process for fabricating electrical through silicon vias, RC23867 (W0 602-049) February 3rd, 2006, Electrical gineering
5. B. Shekhar, 3D Technology a System Perspective, Intel Corp. Nov. 8, 2008
6. J. Zhang, M.O. Bloomfield, J.Q. Lu, R.J. Gutmann, T.S. Cale, Microelectr onic Engineering 82 (2005) 534-547
7. S.J.Hong, K.S.Kim, Norman Zhou and J.P.Jung : 3 Dimension Packaging Technology Using Via, Journal of KWS, 24-2 (2006), 137-141 (in Korean)
8. Leila J. Ladani, Numerical analysis of thermo-mechanical reliability of thr ough silicon vias (TSVs) and solder interconnects in 3-dimensional integ rated circuits, Microelectronic Engineering 87 (2010) 208-215
9. Tsai Ming-Yi, Jeter CH, Otto Wang T., Investigation of thermo-mechanical behaviors of flip-chip BGA pac kages during manufacturing process and thermal cycling, IEEE Trans Compon Pack Technol 2004. 27 (3)
10. Seunghyun Cho, Soonjin Cho, Jose ph Y. Lee, Estimation of warpage and thermal stress of IVHs in flip-chip ball grid arrays package by FEM, Microelectronics Reliability 48 (2008) 300-309
11. G. Taguchi, Taguchi Methods: Design of Experiment, Book, Quality Engineering Series, American Supplier Institute, 1993
12. W. Engelmaier, Fatigue life of lead less chip carrier solder joints during power cycling, in: IEEE Trans actions on Component, Hybrids, and Manufacturing Technology, vol. CHMT-6, No.3, September 1983.
13. Y.E.Shin, Y.S.Kim, J.M.Kim and M.G.Choi : The thermal Fatigue Analysis and Life Evaluation of Solder Joint for Flip Package using Darveaux Mothod, Journal of KWS, 22-6 (2004), 522-528 (in Korean)



·방한서
·1951년생
·조선대학교 선박해양공학과
·용접 공정 및 설계
·e-mail : hsbang@chosun.ac.kr



·박세민
·1982년생
·조선대학교 선박해양공학과
·용접 공정 및 설계
·e-mail : countermania@naver.com



·방희선
·1971년생
·조선대학교 선박해양공학과
·용접 공정 및 설계
·e-mail : banghs@chosun.ac.kr



·이창우
·1967년생
·한국생산기술연구원 수석연구원
·고집적flexible전자패키징, SMT공정
·e-mail : cwlee@kitech.re.kr