특집 : 3차원 전자 패키지기술을 위한 요소기술과 신뢰성

3D 전자패키징용 관통실리콘비아의 충진 및 미세피치 접합기술

유 세 훈·이 창 우

Through Silicon Via Filling and Fine Pitch Joining Technology for 3D Electronic Package

Sehoon Yoo and Chang-Woo Lee

1. 서 론

현대 디지털 정보사회의 급속한 발달은 고기능, 소형화 전자제품을 요구하고 이에 대한 전자패키징 관련 기술도 매우 급격하게 발전하고 있다. 고정밀, 고밀도 3차원 적층 패키징 기술은 그러한 기술발전 추세에 보다 적극적으로 대응할 수 있는 기술로 고집적, 고속 신호전달을 할 수 있는 전자패키징 기술이다. 3차원 적층 패키징 기술을 이루기 위해 최근 관통실리콘 비아(Through Silicon Via, TSV)를 이용한 적층기술이 주목받고 있다. TSV는 고집적화라는 3D패키징의 기본 목표를 충분히 달성하면서도, 가장 단거리에서 전기적 통전이 가능하여 신호전달감소를 매우 효율적으로 억제할 수 있기 때문이다[1,2].

TSV를 이용한 3차원 적층 패키징 기술은 1) TSV drilling공정, 2) TSV벽의 절연층(dielectric layer), 접착층(adhesion layer), 확산방지층(barrier layer) 형성공정, 3) TSV 충진(TSV filling) 공정, 4) 범프형성 및 칩본딩 공정, 5) Si 웨이퍼 연마(thinning)공정으로 크게 나눌 수 있다. 위의 공정은 적용되는 제품에 따라 공정순서나, 소재의 조합, 세부공정의 조합이 변화할 수 있다. 예를 들어, 고속 초소형 연산처리장치(Microprocessor Units)는 소자간의 많은 입출력신호를 고속으로 전달하기 위해 높은 전기 전도도, 초미세피치 TSV, 높은 TSV종횡비가 중요한 인자로 대두된다. 한편, 이미지 센서나 적층 메모리들은 고속의 신호전달을 항상 요구되지 않으나 저단가가 더욱 요구되기 때문에 저가의 소재 및 단순한 공정 선택을 필요로 하고 있다.

TSV 제조기술과 범프 형성 및 접합기술은 그 크기와 종횡비등에 따라 다르나, Fig. 1의 기술 로드맵에 나타나 있는 것과 같이 기억소자(memory chip)의 경우 TSV/bump pitch가 현재 70㎛의 수준에 있으며[3], 향후 5년 안에 20㎛까지 줄어들 전망이다. 근래 발표되고 있는 논문들에 의하면 TSV의 직경은 약 10㎛, 웨이퍼의

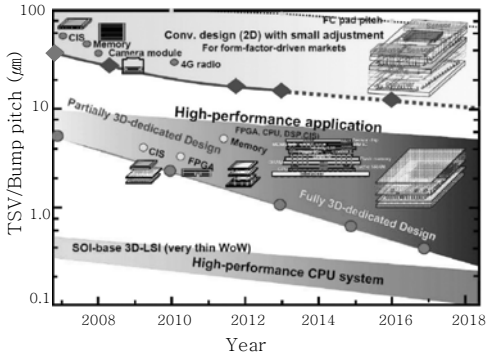

Fig. 1 Roadmap for the development of devices involving inter-chip connection achieved by connecting[3]

두께는 60-70㎛가 일반적으로 실험되고 있다[4,5].

비아 충진 공정은 TSV를 이용한 3차원 적층 패키징 공정에서 가장 핵심공정으로 전기도금이나 화학기상증착(CVD, chemical vapor deposition)등의 방식으로 Cu를 충진하는 기술이 일반적으로 사용되었으나, TSV의 직경이 극 미세화되고 종횡비가 증가하게 되면서 많은 기술적 제약을 받고 있다. 또 다른 핵심공정인 범프형성과 접합기술은 전기적 저항을 낮추면서 고 신뢰성을 지닐 수 있는 재료와 접합공정조건을 제어하는 공정기술이 주로 발표되고 있다. 본 논문에서는 TSV 충진과 미세 범프 접합에 대한 기술의 진보를 분석하고자 한다.

2. TSV 절연층 형성기술

비아벽면은 비아 금속과 Si간의 단락을 방지하기 위해 절연층이 필요하다. 비아 절연층은 먼저 높은 절연파괴전압, 낮은 누설전류등의 좋은 전기적 특성이 필요하다. 또한, 좋은 두께균일도 및 스텝 커버리지(coverage), 낮은 응력, 공정성등이 필요하다. Fig. 2와 같이 절연층막에 결함이 있는 경우에는 누설전류발생등 소자의 오작동을 발생시키기 때문에 우수한 스텝커버리지와 균일한 증착특성이 요구된다. 비아 절연층으로 사용되는 소재는

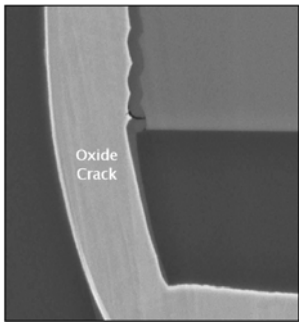

Fig. 2 Cracking of oxide layer on a TSV wall[7]

산화실리콘(SiO_2), 질화실리콘(Si_3N_4), 폴리머가 있다.

산화실리콘은 두께 균일성이 좋아 TSV 절연층으로 많이 사용되는 절연소재이다. 산화실리콘은 화학기상증착법(CVD, chemical vapor deposition)와 원자층증착법(ALD, atomic layer deposition)의 방법으로 TSV벽에 증착이 된다. 산화실리콘의 CVD증착은 Si과 좋은 접착력의 장점이 있으나 ALD보다 낮은 스텝 커버리지를 갖으며, 높은 증착온도의 단점이 있다[6]. ALD증착은 낮은 증착온도, 좋은 두께 균일성을 갖고 있으나, 낮은 온도에서 증착은 절연막의 낮은 절연파괴전압을 갖게 하고, 낮은 증착속도의 단점이 있다.

폴리머를 이용한 절연층의 형성은 Fig. 3과 같이 도넛 형태의 트랜치를 형성한 후 스핀코팅을 이용하여 트랜치를 채우고, 도넛 안쪽의 실리콘을 에칭하여 형성한다. 폴리머 절연막은 응력의 완충을 하고 상온에서 절연막의 증착을 할 수 있으며, 다양한 폴리머 소재를 사용할 수 있는 장점이 있다. 하지만, 이 방법은 공정이 복잡하고, 20um이하의 비아에는 응용이 어려운 단점이 있다.

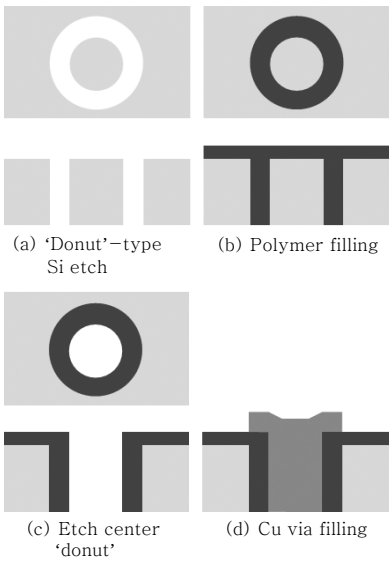

Fig 3 Schematic diagram of polymer dielectric layer formation

3. TSV 충진기술

비아 충진을 위한 소재는 Cu, W, 폴리실리콘, 솔더소재, 도전성 폴리머 등이 사용되고 있다. 비아 충진소재는 기공이 없어야 하며, 낮은 응력, 좋은 전기전도도, 그리고 좋은 열신뢰성을 가져야 한다.

전해도금법을 이용한 Cu의 증착은 반도체 공정에서 이미 보편화된 기술이지만, 높은 종횡비(>10)를 갖으며, void가 없는 비아를 충진하는데는 아직도 많은 어려움이 있다. Cu 전해도금 공정은 Cu 씨앗층이 필요하며, Cu 씨앗층은 보통 물리기상증착법(PVD)으로 증착한다. 하지만, 종횡비가 높은 비아의 경우, PVD 증착으로는 연속적이며 균일한 씨앗층을 비아안쪽까지 증착하기 어렵다. 이러한 두께 불균일성으로 비아 입구의 저항값은 비아 바닥의 저항값보다 크게 되며, 도금층의 성장이 불균일하게 된다. 또한, 비아 직경이 작고 종횡비가 높은 TSV에서는 도금액의 순환이 쉽지 않으므로, 비아 바닥의 이온밀도는 비아 입구보다 낮아 도금층이 느리게 성장한다. 씨앗층의 불균일성과 도금액 순환문제로 발생된 도금층 성장속도의 차이는 비아 바닥이 다 채워지기 전에 입구가 막혀 비아 내에 기공(void) 형성을 발생시킨다.

기공발생을 막고 완전히 채워진 TSV를 형성하기 위해서는 씨앗층을 균일하게 증착해야 하는데, 기존의 스퍼터링으로는 종횡비가 10이상인 비아에 균일한 씨앗층을 증착시키기 어려우므로, ALD나 direct on barrier (DOB)법이 제안되었다[8,9]. Fig. 4는 스퍼터링, ALD, DOB등의 방법으로 씨앗층을 증착했을 때, 종횡비의 한계를 보여주고 있다[9]. 한편, 비아벽에서 도금액의 젖음성을 향상시킴으로서 비아안에서 도금액의 순환을 효과적을 실시하게 하는 방법도 고안되었다. 이 방법은 비아벽과 비아바닥을 전처리용액 또는 플라즈마 처리를 실시하여 도금액의 젖음성을 향상시키는 것이다. Dixit et al.[10] H_2O_2, NH_4OH 및 DI water 용액으로 SiO_2와 Si_3N_4 절연막의 전처리를 실시하여 Cu 도금용액의 젖음성을 향상시켰다. 이러한 전처리 용액은 절연막위의 유기오염물질을 제거하고, 표면을 활성화시켜, 좋은 젖음특성을 갖게 하고, 비아 충진 특성을 향상시켰는데, 종횡비 20, 직경 12 um의 비아가 전해도금으로 충진되었다.

펄스-역펄스 전착법 및 첨가제 최적화를 통해 종횡비가 높은 비아를 충진하는 방식도 고안되었다[11-13]. 전류가 집중되는 비아 입구쪽에 역펄스 전류를 인가하여 입

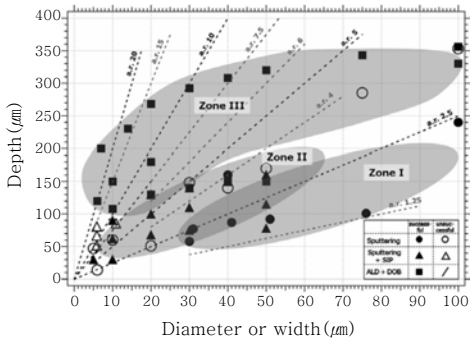

Fig. 4 Aspect ratio limit for various seed deposition techniques: sputtering (Zone I), sputtering with SIP (Zone II), and ALD with DOB (Zone III)[9]

구가 막히는 것을 방지하며, off-time동안 비아 내부로 Cu이온과 첨가제들이 확산되어 들어가는 시간을 주기 때문에 기공이 없는 완벽한 비아충진을 이룰수 있다.

앞서 기술한 Cu 전해도금방법은 비아를 충진한 후, Si 웨이퍼의 연마을 실시하는 방식이다. 최근에는 80um 이하의 얇은 웨이퍼를 바로 공정에 투입할 할 수 있는 처리(handling)기술이 발달하면서, 상향식(bottom-up) Cu 전해도금이 많이 응용되고 있다[14,15]. 상향식 Cu전해도금이란 관통비아(through via)가 형성된 Si 웨이퍼 하단에 Cu 씨앗층을 증착하여 하단에서부터 전기도금이 되어 관통비아를 충진하는 방식이다. Fig. 5는 기존방식과 상향식 충진방법의 차이를 보여주는 모식도이며, Fig. 6은 상향식 충진방식으로 형성한 Cu TSV의 SEM 이미지이다. 상향식 충진법은 아래에서부터 Cu의 충진이 이루어지므로, 도금중 비아입구가 막히는 현상을 제거할 수 있으므로 종횡비가 높은 비아를 기공없이 형성할 수 있다.

텅스텐은 CVD로 충진하게 되며, 주로 직경이 작고 종횡비가 높은 비아에 적합하고, 200℃이하의 상대적으로 낮은 온도에서 공정이 이루어 진다. 텅스텐은 CTE가 4.5 ppm/℃로 Si의 CTE(3ppm/℃)과 비슷하므로 CTE 차에 의한 열적 기계적 응력이 Cu (16ppm/℃)에 비해 작아 높은 신뢰성을 갖는다. 하지만 Cu에 비해 낮은 전기전도도를 갖으며, 큰 비아의 충진에는 사용이 적합하지 않다. 폴리실리콘도 마찬가지로 CVD를 사용, 비아를 충진한다. 폴리실리콘은 Cu에 비해 낮은 전기전도도를 갖고, 큰 비아의 충진에 적합하지 않으며, 높은 증착온도가 필요하다.

솔더를 이용한 충진방법은 용융 솔더를 비아공정이 간단하기 때문에 높은 생산성과 낮은 단가로 생산을 할

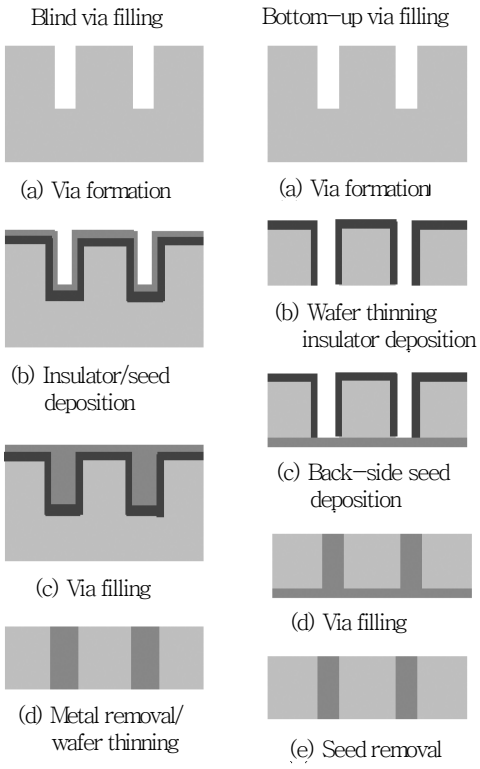

Fig. 5 Schematics of conventional blind via filling and bottom-up via filling process

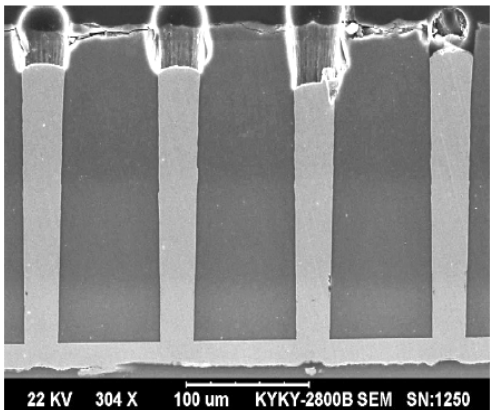

Fig. 6 SEM micrographs of bottom-up TSV filled Si wafer[14]

수 있다[16]. 솔더 충진 방법은 Fig. 7과 같이 솔더 용탕에 비아가 형성된 웨이퍼를 투입하고 N_2 가스로 가압하여 비아를 채우는 방법이다. 솔더 재료로 Sn[16], Sn-Zn[17], Zn[17]등이 사용되고 있다.

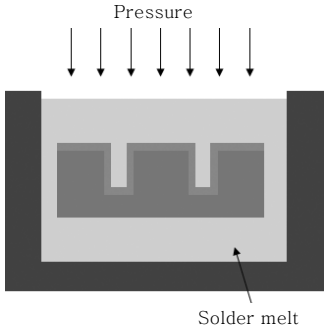

Fig. 7 Schematic of solder via filling[16]

4. 3D 패키지용 초미세피치 접합기술

3D 패키지용 미세피치 접합은 주로 솔더본딩이나 Cu-Cu 직접 본딩(Cu-Cu direct bonding)이 사용된다. 솔더본딩은 현재 많이 쓰이고 있는 방식이지만, 금속간 화합물 발생으로 인한 신뢰성 문제나, 일렉트로마이그레이션 발생문제등이 있다. 또한, 피치사이즈가 감소되면서 솔더접합시 솔더가 인근 솔더와 연결(bridging)되면서 단락이 발생하므로, 초미세피치용으로는 새로운 방법이 고안되어야 한다.

Cu-Cu 직접본딩 방식은 Sn이나 Au범프 공정을 제거하여 금속간화합물에 연관된 신뢰성 문제를 해결할 수 있는 방식이다. 또한 전기적 저항이 낮아 RC delay를 저하시키고, 일렉트로마이그레이션에 대한 저항성이 높아 3차원 직접회로 기술에 적합하다. 하지만 Cu 직접본딩을 열압착방식으로 접합할 경우에는 300℃ 이상 온도가 필요하며 접합시간도 수분에서 많게는 수십분간 유지해야 한다[18]. 또한 우수한 접합특성을 확보하기 위해, 본딩후에 어닐링(annealing)을 역시 300℃ 이상 온도에서 수십분간 실시하게 된다. 따라서, 고온에서의 본딩및 어닐링은 소자 자체의 기능저하를 야기시킬 수 있으며, 장시간 본딩으로 인한 생산성도 기존 본딩방법에 비해 낮다. 최근에 이러한 문제를 해결할 수 있는 방안이 연구되었는데, Ang et al.은 Cu-Cu 열압착 본딩시 3.28GPa의 충분히 높은 본딩 압력을 주어 상온에서 30초 본딩으로도 접합이 가능하다는 것을 확인하였다[19].

Cu-Cu 열압착본딩은 Cu의 상호확산 및 결정립 성장에 의해 본딩이 이루어 진다. 따라서, Cu범프 표면의 산화층은 상호확산을 방해하는 인자로 작용하게 되며, 보통 HCl 같은 산용액 처리를 하거나[20], 수소분위기에서 환원을 시켜 표면의 산화층을 제거한다[21]. 열압착본딩을 실시하기 전에 범프 표면의 세정도 중요한데, 표면의 오염물질이 존재할때 열압착본딩시 Cu의 확산을 방해하기 때문이다. Cu-Cu 열압착본딩시 본딩압력도 중요한 인자중의 하나이다. 열압착본딩은 Cu의 확산에 의해 이루어지는데, 충분한 압력을 주어야 접촉되는 면적이 증가하면서 Cu 원자의 확산이 증가하기 때문이다. Cu-Cu 열압착본딩중의 분위기도 중요하다. 진공중에 본딩을 실시해야만 접합계면에서 산화층 성장을 억제하여 좋은 접합부를 형성할 수 있다[18].

Cu-Cu 직접본딩 방식의 변형으로 Cu-Sn(Ag)-Cu 본딩법이 있다. Fig. 8은 Cu-Cu본딩과 Cu-Sn-Cu본딩방식의 공정도를 보여주고 있다. Cu-Sn-Cu본딩은 Cu위에 Sn이나 SnAg등을 증착한 범프를 이용, 열과 압력을 가해 접합한다. Cu-Sn-Cu본딩은 기존의 솔더본딩공정과 유사한 조건이 사용되므로, Cu-Cu직접본딩보다 먼저 적용이 될 것으로 예상되며, 많은 기업에서 연구 개발이 진행되고 있다. Samsung과 Intel등은 Cu-Sn-Cu로 IC칩을 적층하였으며[22], Oki, NEC, Toshiba등은 Cu-Sn2.5%Ag-Cu로 IC를 적층하였다[23]. Cu-Sn-Cu본딩은 300℃이하의 온도에서 접합하므로 Cu-Cu법에 비

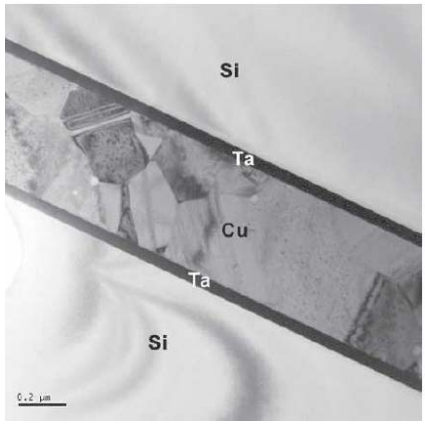

Fig. 8 SEM micrograph of Cu-Cu direct bonding[18]

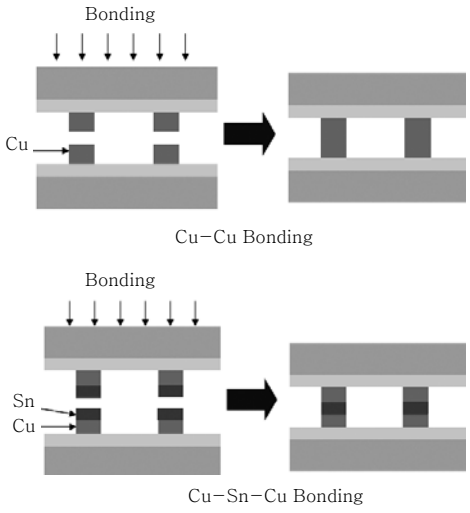

Fig. 9 Schematics of Cu-Cu bonding and Cu-Sn-Cu bonding

해 낮은 온도에서 공정이 이루어지며, 공정속도도 수초로 빠른편이다. 또한 어닐링등의 후처리가 필요없어서 생산성이 좋다. Cu-Sn-Cu본딩은 공정중에 Sn은 용융되고 Cu와 반응해서 Cu_3Sn, Cu_6Sn_5의 금속간 화합물로 변환하게 된다. 금속간화합물은 600℃이상에도 안정하므로 후속 적층 공정시에도 접합부는 안정하다. 하지만, 금속간화합물에 의한 기계적 신뢰성문제나 전기저항등의 문제는 계속 연구가 진행되어야 한다.

5. 결 론

TSV를 형성하기 위한 TSV 충진(TSV filling) 공정과 미세피치 3D 본딩기술에 대한 연구결과를 소개하였다. TSV 비아충진은 높은 종횡비의 비아를 충진하기 위한 연구가 주를 이루며, 저단가, 고생산성의 비아충진법등도 개발되고 있다. 초미세피치 3D본딩으로 Cu- Cu 직접본딩, Cu-Sn-Cu본딩이 고려되고 있으며, 높은 신뢰성을 갖기 위해서는 물성평가, 접합특성 및 변수 최적화등 다양한 연구가 선행되어야 할 것이다.

후 기

본 연구는 지식경제부가 지원하는 국가연구개발사업인 “협동연구사업”에 의해 수행되었습니다.

참 고 문 헌

1. M. Tomisaka, H. Yonemura, M. Hoshino, and K. Takahashi, in *Solid State Devicesand Materials*, 40, Tokyo (2001)
2. K. Takahashi, in *The 2nd Annual Meeting on Electronic SI Technologies*, 27, Tokyo (2001)
3. M. Motoyoshi and M. Koyanagi : 3D-LSI Technology for Image Sensor, Pixel 2008 International Workshop, Batavia, IL, Sep 23-26, 2008
4. J.T. Norman, M. Perez, S.E. Schulz and T. Waechtler : New precursors for CVD copper metallization, Microelectronic Engineering, 85 (2008) 2159-2163
5. P. Dixit, X. Chen, J. Miao, and R. Preisser : Effect of improved wettability of silicon-based materials with electrolyte for void free copper deposition in high aspect ratio through-vias, Thin Solid Films, 516 (2008) 5194-5200
6. S.-W. Seo, G.-S. Kim : The Film Property and Deposition Process of TSV Inside for 3D Interconnection, Journal of the Microelectronics & Packaging Society, 15-3 (2008) 47-52 (in Korean)
7. T. Jiang and S. Luo : 3D integration-Present and Future, Proceedings of 10th Electronics Packaging Technology Conferences, 2008, 373-378
8. R. Beica, P. Siblerud, C. Sharbono and M. Bernt: Proceedings of 10th Electronics Packaging Technology Conferences, 2008, 212-218
9. O. Luhn, C. Van Hoof, W. Ruythooren, J.-P. Celis : Barrier and seed layer coverage in 3D structures with different aspect ratios using sputtering and ALD processes, Microelectronic Engineering, 85 (2008) 1947-1951
10. P. Dixit, X. Chen, J. Miao, S. Divakaran and R. Preisser, Applied Surface Sicence, 253 (2007), 8637-8646
11. J.-J. Sun, K. Kondo, T. Okamura, S.-J. Oh, M. Tomisaka, H. yonemura, M. Hoshino and K. Takahashi : Journal of the Electrochemical Society, 150-6 (2003) G355-G358
12. G.-H. Chang and J.-H. Lee : The Effect of Current Types on Through Via Hole Filling for 3D-SiP Application, Journal of the Microelectronics & Packaging Society, 13-4 (2006) 45-50
13. S.-E. Lee and J.-H. Lee : Copper Via Filling Using Organic Additives and Wave Current Electroplating, Journal of Microelectronics & Packaging Society, 14-3 (2007) 37-42 (in Korean)
14. C. Song, Z. Wang, Q. Chen, J. Cai, L. Liu : High aspect ratio copper through-silicon-vias for 3D integration, Microelectronic Engineering, 85 (2008) 1952-1956
15. S.H. Park, T.S. Oh, Y.S. Eum and J.T. Moon : Interconnection Processes Using Cu Vias for MEMS Sensor Packages, Journal of the Microelectronics & Packaging Society, 14-4 (2007) 63-69 (in Korean)
16. D. M. Chang, C. H. Ryu, K. Y. Lee, B. H. Cho, J. H. Kim, T. S. Oh, W. J. Lee, and Jin Yu : Development and Evaluation of 3-D SiP with Vertically Interconnected ThroughSilicon Vias(TSV), Proceedings of the Electronics Components Technology conference, 2007, 847-852
17. Y. K. Jee, J. Yu, K. W. Park, and T. S. Oh : Zinc and Tin-Zinc Via-Filling for the Formation of Through-Silicon Vias in a System-in-Package, Journal of Electronic Materials, 38-5 (2009) 685- 690
18. K. N. Chen, A. Fan, C. S. Tan and R. Reif : Bonding Parameters of Blanket Copper Wafer Bonding, Journal of Electronic Materials, 35-2 (2006) 230-234
19. X.F. Ang, A.T. Lin, J. Wei, Z. Chen and C.C.

Wong : Low Temperature Copper-Copper Thermo- compression Bonding, Proceedings of the Electronics Components Technology conference, 2007, 399-404
20. K.N. Chen, C.S. Tan, A. Fan and R. Reif : Morphology and Bond Strength of Copper Wafer Bonding, Electrochemical Solid-State Letters, 7-1 (2004) G14-G16
21. C. S. Tan, K.N Chen, A. Fan and R. Reif : The Effect of Forming Gas Anneal on the Oxygen Content in Bonded Copper Layer, Journal of Electronic Materials, 34-12 (2005) 1598-1602
22. P. Morrow, B. Black, M.J. Kobrinsky, S. Muthukumar, D. Nelson, C.-M. Park, C. Webb : Desgin and Fabrication of 3D Microprocessors, Proceedings of Materials Research Society Symposium, 970 (2007) 0970-Y03-02
23. T. Mitsuhashi, Y. Egawa, O. Kato, Y. Saeki, H. Kikuchi, S. Uchiyama, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, N. Takahashi, Y. Kurita, M. Komuro, S. Matsui, M. Kawano : Development of 3D-packaging Process Technology for 23. T. Mitsuhashi, Y. Egawa, O. Kato, Y. Saeki, H. Kikuchi, S. Uchiyama, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, N. Takahashi, Y. Kurita, M. Komuro, S. Matsui, M. Kawano : Development of 3D-packaging Process Technology for Stacked Memory Chips, Proceedings of Materials Research Society Symposium, 970 (2007) 0970-Y03-06

• 유세훈
• 1972년생
• 한국생산기술연구원 용접접합기술지원센터
• 마이크로조이닝 및 무연솔더공정
• e-mail : yoos@kitech.re.kr

• 이창우
• 1967년생
• 한국생산기술연구원 용접접합기술지원센터
• 마이크로조이닝 및 무연솔더공정
• e-mail : cwlee@kitech.re.kr