

3차원 패키지를 위한 관통 홀 형성과 Cu 충전

홍성준·전지현·정재필

Formation of Through-Hole and Cu-Filling for 3 Dimensional Packaging Technology

Sung-Jun Hong, Ji-Hun Jun and Jae-Pil Jung

1. 개요

최근 들어 휴대전화, PDA, 디지털 카메라와 같은 전자제품들이 소형화, 경량화, 고기능화가 활발히 진행됨에 따라 패키지 기술에서도 미세 피치화, 고집적화 뿐만 아니라 고성능, 고효율의 제품을 개발하려는 노력이 계속되고 있다. 이전까지 대다수의 전자패키지 모듈은 IC 칩을 비롯한 전자부품들의 2차원적 배치된 제품들이었다. 그러나 최근 패키지 기술에서는 반도체 칩을 2차원적으로 배열하지 않고 3차원적으로 적층하는 3차원 적층 실장 연구가 크게 주목 받고 있다¹⁾²⁾. Table 1은 3차원 실장을 이용한 메모리 적층 기술을 2차원적 적층 기술과 비교함으로써 3차원 적층 실장 기술의 우수함을 실례를 통해서 보여주고 있다.

현재 주로 사용되고 있는 3차원 적층 실장은 반도체 칩들을 서로 적층한 후, 칩들의 I/O 패드를 기판에 Au 와이어로 연결하는 와이어 본딩(wire-bonding)이 주

로 사용되고 있다. 그러나 와이어 본딩은 신호 전달속도의 감소, 고주파 영역에서의 손실률 증가 및 I/O의 개수가 제한된다는 단점을 가지고 있어서 패키지의 고집적, 고성능화를 추구하는 데에 있어서 문제점을 가지고 있다.

2차원 패키지와 와이어 본딩의 위와 같은 단점을 보완하기 위해서 비아(via)를 이용한 3차원 패키지 기술이 주목을 받고 있으며, Fig. 1에는 3차원 패키지에서 요구하는 주요 핵심 기술이 나타나 있다. 본 고에서는 관통홀(through-hole)의 형성 기술과 전도성 금속 물질의 충전 기술에 관하여 기존 기술과 본 저자들이 연구한 내용에 대하여 서술하고자 한다.

2. 관통 홀 형성 기술

비아를 이용한 3차원 실장을 하기 위해서 우선적으로 요구되는 것이 실리콘 웨이퍼에 관통 홀을 형성 기술이다. 관통 홀을 형성함에 있어서 웨이퍼에 데미지가 작

Table 1 3-D Mass memory volume and weight comparisons between other technologies and texas 3-D technology in cm³/Gbit

	Type	Capacity	Discrete	2-D	3-D	Discrete/3-D	2-D/3-D
Weight	SRAM	1 Mbit	1678	783	133	12.6	5.9
		4 Mbit	872	249	41	21.3	6.1
	DRAM	1 Mbit	1357	441	88	15.4	5.0
		4 Mbit	608	179	31	19.6	5.0
		16 Mbit	185	69	69	16.8	6.2
Volume	SRAM	1 Mbit	3538	2540	195	18.1	13.0
		4 Mbit	1588	862	145	10.9	5.9
	DRAM	1 Mbit	2313	1542	132	17.5	11.6
		4 Mbit	802	590	113	7.6	5.2
		16 Mbit	363	227	113	3.2	2.0

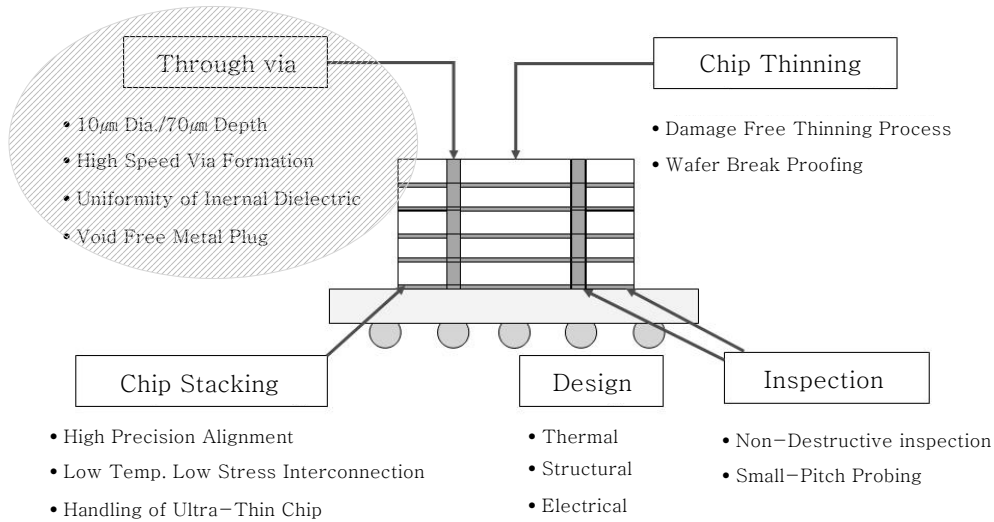


Fig. 1 Technology map

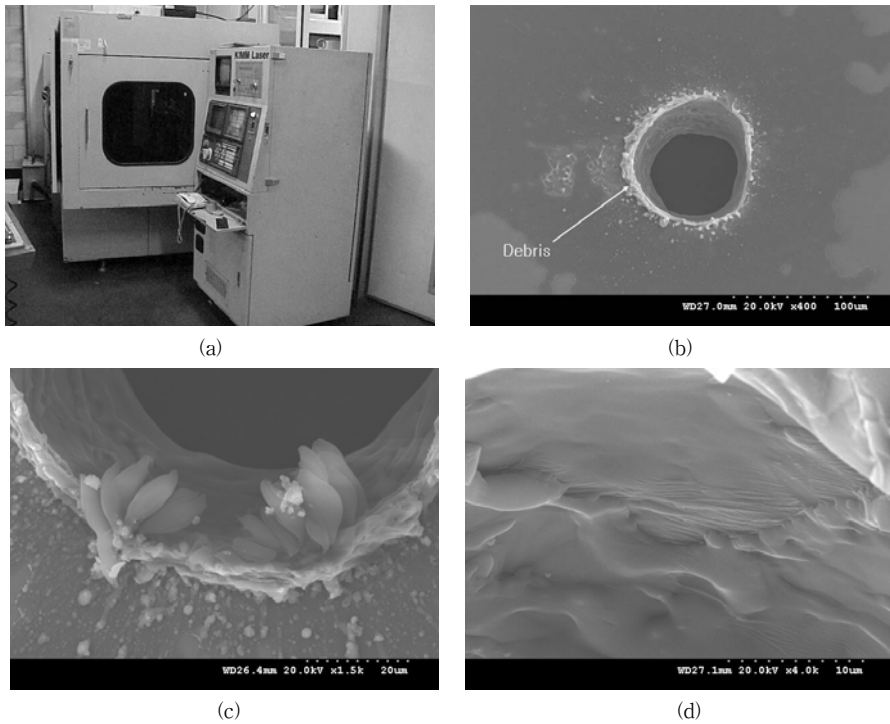


Fig. 2 Schematics of laser and through-holes for this study; (a) YAG Laser(JK 702 Nd), (b) through-hole \times 100, (c) through-hole \times 1500, (d) through-hole \times 4000v

게 미치고, 비아 충전을 용이하게 할 수 있는 방법을 선택해야 한다.

2.1 레이저를 이용한 관통 홀의 형성

실리콘 웨이퍼에 관통 홀을 형성하기 위해서 레이저를 선택할 시에는 파장, 에너지/펄스·평균 전력, 에너지/전력 밀도·빛의 스팟 크기·빔의 특성 등을 고려하여 알맞은 레이저를 선택해야 한다. Fig. 2에는 본 연구의 저자들이 YAG 레이저(JK 702 Nd)와 이를 사용하여

웨이퍼에 형성한 관통 홀의 형상이다. 레이저 주사 조건은 레이저 파워 62W, 펄스 폭 0.5ms, 펄스 에너지 0.51J 이며, 보다 상세한 레이저 실험 조건은 Table 2에 나타나 있다. 위에서 본 홀의 형상은 정확한 원이 아니며 다소 불규칙한 형상을 보인다. 펄스 에너지가 0.51J로써 강하게 가해짐으로 인해서 개구부 쪽에 찌꺼기(debris)가 많이 발생하였으며, 용융된 미세 실리콘 찌꺼기들이 홀 주위에 흩어져 있다. 이러한 미세 찌꺼기들은 이후의 실리콘 표면의 금속층 도금에

Table 2 Laser processing condition.

Variables	YAG Laser (JK 702 Nd)
Height	65 %
Pulse Width	0.5 ms
Repetition Rate	10 Hz
Laser Power	62 W
Pulse Energy	0.51 J
Applied 10 pulses to drilling point	

악영향을 미치므로, 미세 볼들이 발생하지 않는 조건을 확보하여야 한다. 또한, 웨이퍼 내벽에도 홀을 가공하는 과정에서 발생한 실리콘 찌꺼기가 많이 존재하고 면이 매끄럽지가 못하다. 이러한 찌꺼기와 매끄럽지 못한 면으로 인해서 시드층 형성 과정에 악영향을 미쳐서 시드 역할을 하는 금속이 관통 홀 내벽에 정상적으로 형성되지 않는다. 따라서, 펄스에너지를 가할 때 발생 되는 찌꺼기를 줄이고, 관통 홀의 내벽의 표면을 매끄럽게 가공하는 것이 현재의 Nd YAG 레이저가 극복해야 할 문제들이다.

한편, 펨토초 레이저(femtosecond laser)를 사용할 경우 실리콘 웨이퍼나 실리카 글래스에 찌꺼기(debris) 없이 관통 홀을 형성할 수 있다. Fig. 3과 Fig. 4는 각각 펨토초 레이저의 작동 모식도와 이를 이용한 가공 장치의 일예를 보인 것이다³⁾. Fig. 3에 있는 것과 같이 ND YAG 레이저와 작동 방법에 있어서의 차이점은 거의 없고, 단지 펄스를 가하는 시간이 매우 짧아서 찌꺼기의 발생을 현저하게 줄이고 관통 홀의 내벽을 매끄럽게 할 수 있다. Fig. 4은 펨토초 레이저를 사용하여 파장이 800nm, 펄스 지속시간이 100fs, 반복률이 1kHz인

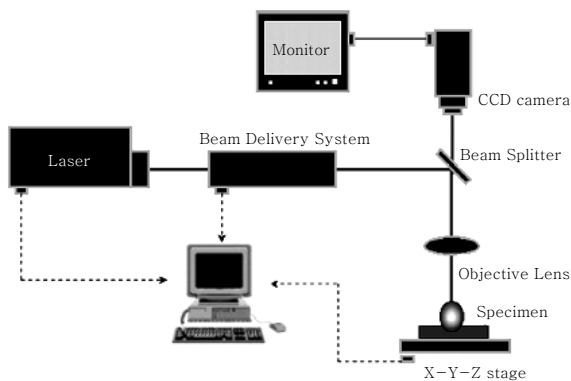
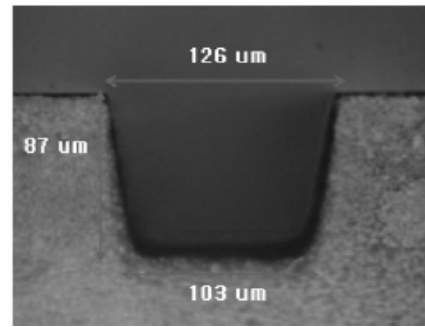
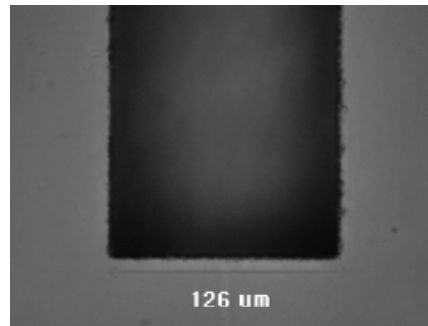


Fig. 3 Schematic diagram of femtosecond laser system



(a)



(b)

Fig. 4 U-groove machined by femtosecond laser (20objective lens with 0.42 NA, 30-J pulse energy, scan speed of 500 m/s); (a) top view(500), (b) side view(500)

조건에서 1mJ의 펄스 에너지를 가하여 실리카 글래스에 관통 홀을 형성한 것이다³⁾. 이 방법은 Nd YAG 레이저에 비해 양호한 홀을 가공할 수 있다. 그러나 가공을 하기 위해서 얼라인(alignment)을 하는 과정이 일반 Nd YAG 비해서 복잡하고 긴 시간이 필요하다는 단점이 있다.

2.2 DRIE를 이용한 관통 홀의 형성

DRIE (Deep Reactive Ion Etcher) 기술은 R. Bosch GmbH에 의해 1994년 특허출원 되었다⁴⁾. 이 방법은 SF₆를 흘려서 Si을 에칭한 뒤, 홀의 내벽을 C₄F₈으로 보호층(passivation)을 입힌다. 이렇게 형성된 보호층은 뒤 이온 에칭과정에서 이온의 충돌로 인해 관통 홀 바닥의 보호층이 우선적으로 제거되며, 홀의 내벽은 에칭으로부터 보호된다. 교대로 반복되는 에칭과 보호층 형성 과정으로 인해 관통 홀의 내벽은 부채꼴 모양으로 에칭된다. DRIE에 의해 실리콘이 에칭되는 속도는 약 1-3 μm/min 정도이다. 한편, 실리콘 에칭에 있어서 불소를 사용한 이방성 드라이 에칭으로 식각 속도를 대폭 향상시킨 보고도 있는데, 이 경우 관통 홀의 입구가 좁은 형상으로 되어 있다⁵⁾.

Table 3 Example of variable at DRIE process

Reactants supply	Plasma power conditions	Etching/Passivation adjustment
- SF6 flow rate - C4F8 flow rate	- Electrode power during etching - Coil power - Electrode power during passivation - APC positions	- Etching cycle - Passivation cycle

에칭에 의해 형성되는 부채꼴 모양은 에칭 및 보호층 형성 작업 조건에 따라 변화될 수 있다. 즉, 표면의 곡률반경, 에칭 속도, 표면의 상태 등은 SF₆, C₄F₈의 유속이나 챔버 내 압력, 전극의 파워, 에칭 시간 등의 영향을 받는다⁶⁾. Table 3은 DRIE과정에서 검토될 수 있는 변수들의 예를 보인 것이다⁷⁾.

Chen 등은 DRIE 이후의 웨이퍼 표면 형상과 파괴 강도에 대해 보고하기도 하였다⁸⁾. Fig. 4는 본 저자들이 p 타입 실리콘 웨이퍼에 DRIE를 이용하여 형성한 관통홀의 형상을 보인 것이다. 그림에서 보듯이 원기둥 모양을 한 관통 홀이 수직으로 깨끗하게 형성되었으며, 에칭을 하고 보호층을 형성하는 과정을 반복함으로써 인해서 홀 내벽에는 미세한 에칭 흔적이 남아 있었다.

3. 전도성 금속 충전 및 범프 형성

관통 홀의 충전은 Cu전해도금 방법이 일반적으로 사용된다. 전해도금 방법 이외에도 MMSM(Molten Metal Suction Method), 페이스트 인쇄 방법 등이 있다. 그러나 실리콘 웨이퍼에 열적 손상을 주거나, 홀의 직경이 작아질수록 비아가 완벽하게 충전되지 않고 기공이 발생하는 등의 문제점이 있기 때문에 주로 전해도금 방법을 이용한다.

전해도금을 실시하기 전에 관통 홀의 내벽에 절연층, 확산 방지층, 시드층을 형성해야 한다. 관통 홀 내벽의 절연층 형성 방법의 예로는 테트라 에톡시 실란을 원료 가스로 하는 CVD(Chemical Vapor Deposition)이다. CVD방법은 웨이퍼에 고주파 전압을 가하여 셀프바이어스(self-bias) 방식을 사용하여, 원료가스를 관통 홀의 안쪽으로 들어오게 해서 내벽에 SiO₂층을 형성한다. 웨이퍼 표면에 1.5 μ m의 SiO₂층 형성 될 때, 홀의 내벽은 0.2 μ m, 바닥 부분에는 0.5 μ m 정도이다 [Fig. 5(a)]. 이 외에 퍼니스(furnace)를 이용한 열산화방법 사용을 사용하여 내벽에 SiO₂층을 형성할 수 있다.

한편, 관통 홀 내에 도전성 충전 금속의 확산 방지 금속층 및 시드층을 형성할 필요가 있는데, 보통 스퍼

터링(sputtering) 방법이 사용되고 있다. 일반적으로 이 방법은 금속에 코팅하는 경우 진공 챔버 중에 소량의 Ar 가스를 흘리며 고전압을 가하여 플라즈마(plasma)화한다. 플라즈마 중에서 이온화된 아르곤 가스는 고전압으로 가속되어 코팅하고자 하는 금속판에 충돌하여 막을 형성한다. 금속 이외의 SiO₂등 세라믹에는 고주파를 가하여 막을 형성하며, 진공증착에 비해 막의 밀착성이 좋다.

그러나, 관통 홀의 깊이와 개구부 지름의 비가 큰 경우 (예; 비율 7) 개구부와 구멍의 측벽에 조금이라도 요철이 있으면 오목한 부분의 막이 중간에 끊겨서 불연속적이 되기도 한다. 이 경우에는 스퍼터링 방법 대신 유기금속을 원료로 하는 CVD 방법을 사용하기도 한다. 확산 방지 금속층으로 Ti을 10nm, 시드층으로 Cu를

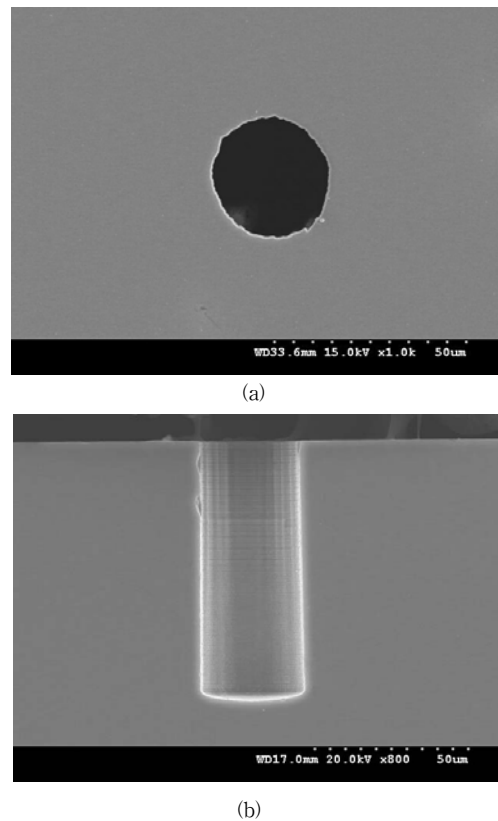


Fig. 5 Fabricated through-hole using DRIE in this study

150nm 형성한 경우가 보고되어 있다[Fig. 5(b)]⁹.

Cu를 전기도금법을 이용하여 충전 할 때에 일반적인 DC(Direct-current) 전기도금법을 사용하면 비아 내부가 완전히 충전되기 전에 홀의 개구부가 막히는 현상이 발생하게 된다. 따라서 이러한 문제를 해결하기 위해서 펄스-역펄스(pulse-reverse) 전기도금법이 이용된다. 이 방법은 일정시간 동안 펄스 전류를 가하여 Cu^{2+} 이온이 홀의 내부에 충전되게 한 뒤에, 역펄스 전류를 가하여 Cu^{2+} 이온이 다시 떨어져 나오게 한다. 이처럼 펄스-역펄스 전류를 반복하여 흘러줌으로써 홀의 개구부가 막히지 않고 바닥에서부터 충전이 일어나게 하는 방법이다. Fig. 6은 DC전기도금법과 펄스-역펄스 전기도금법의 시간에 따른 전류의 변화를 나타낸 그림이다. Cu 충전에 사용되는 도금액은 대부분 $CuSO_4 \cdot 5H_2O$, H_2SO_4 , Cl^- , 가속제, 억제제의 조성으로 구성되어 있다. 펄스와 역펄스의 전류 인가시간과 전류밀도의 비를 조절함으로써 비아 내부에 보이드를 줄일 수 있다. Fig. 7은 본 저자들이 홀 내부에 기포 없이 성공적으로 Cu를 전착한 결과를 보인 것이다. 전기도금 된 Cu는 내경 약 $40 \mu m$, 깊이 약 $80 \mu m$ 이며, 비아의 내부에 기공이 발생하지 않고 홀을 Cu로 충전할 수 있었다.

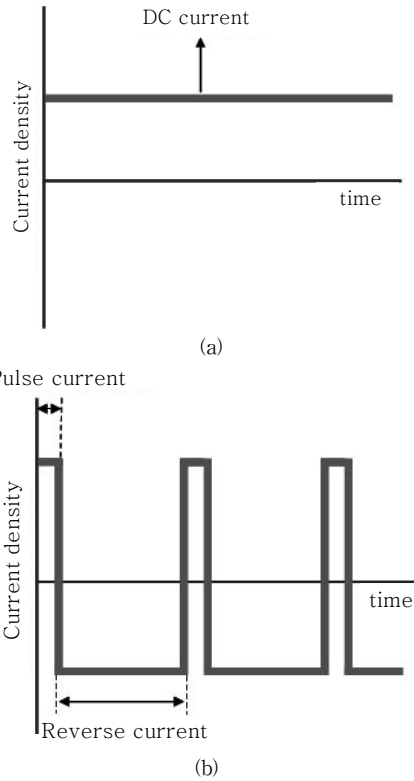


Fig. 7 Schematics of current mode: (a) DC current mode, (b) pulse-reverse current mode for this study

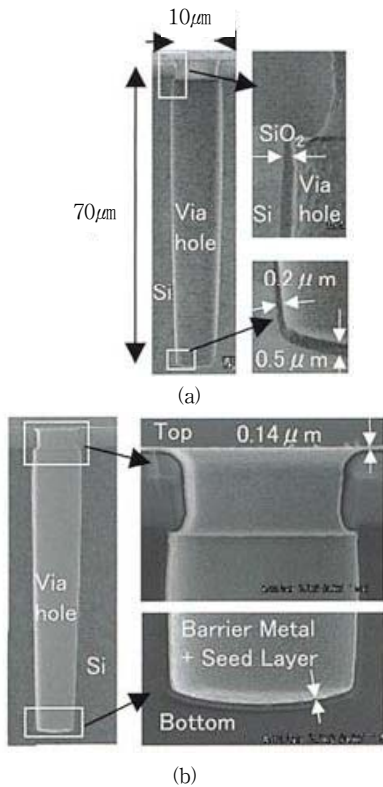


Fig. 6 Trough-hole produced by DRIE with scallop-shaped side wall; (a) as SiO_2 -film deposited (b) as barrier metal/seed layer deposited

비아가 형성된 칩 사이의 전기적 접속과 기계적 유지를 위해서 범프를 만들어 주는 작업이 필요하다. 실리콘 웨이퍼에 범프를 형성하는 방법 크게 두 가지 방법 있다. 전해·무전해 도금 법과 비아가 형성된 웨이퍼를 부분적으로 에칭하여 비아의 일부가 범프의 역할을 할 수 있도록 하는 방법이 있다. 첫 번째로 도금에 의한 범프 형성 방법은 Si 웨이퍼 위에 사전 마스크링 작업을 한 후, 도금을 실시하여 시간과 온도와 같은 변수를 조절하여 웨이퍼 표면에 범프 형성한다. 두 번째 방법은 웨이퍼에 비아를 형성한 후 스핀 식각 방법 등을 이용하여 웨이퍼 만을 부분적으로 에칭하는 방법이다. 절연층으로 형성했던 SiO_2 가 HF와 HNO_3 혼합 에칭액으로부터 Cu의 부식을 막는 역할을 한다. 이 혼합물에서 Si와 SiO_2 의 에칭 속도는 100:1이다. 이로 인해서 비아가 웨이퍼표면으로 돌출 되게 되고, 돌출된 비아를 범프로써 사용하는 방식으로 고도의 기술을 요구하는 방법이다. Fig. 8에는 각각 전기도금법과 웨이퍼 선택적 에칭법을 이용해서 형성한 범프가 나타나 있다⁹. Fig. 8(a)는 관통 홀 위쪽에 형성된 슬더와 Cu로 이루어진 범프이고, Fig. 8(b)는 선택적 에칭 방법을 통해서 관통 홀 아래쪽에 형성한 Cu 범프를 나타낸 것이다.

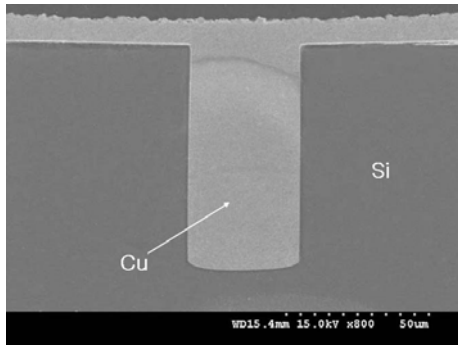


Fig. 8 Fabricated Cu-filled via hole in this study

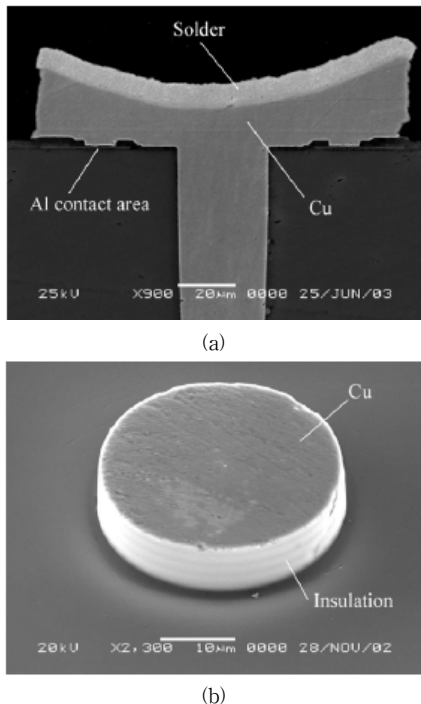


Fig. 9 Bumps formed on the filling ; (a) solder/Cu bump on top side, (b) Cu bump on bottom side

4. 결 론

이상에서 기존의 2차원적 패키지와 와이어 본딩을 대체하기 위해서 개발 중인 via를 이용한 3차원 패키징 기술의 핵심이 되는 관통 홀의 형성과 충전 및 범프 등에 대해서 기술하였다. 본 연구를 통해 저자들은 Nd YAG 레이저와 DRIE를 이용한 관통 홀을 실험실적으로 형성하였다. Nd YAG 레이저로 형성된 홀은 균일한 원통상이 아니며, 홀 내벽 및 웨이퍼 표면에 발생한 찌꺼기들로 인해 정상적인 시드층의 형성이 어려웠다. 반면, DRIE를 이용하여 내경 약 40 μm, 깊이 약 80μm의 균일하고 깨끗한 관통 홀을 형성할 수 있었다. 아울러, 홀 내부의 전도성 금속층 충전은 전기도금 방법을 이용하여 Cu를 전착시킬 수 있었다. 이 때에는 Cu 도

금 내부에 기공이 형성되지 않도록 펄스와 역펄스의 전류 인가시간과 전류밀도의 비를 조절하였다. 금후에도 고집적·고성능 전자제품과 반도체를 위해서 비아를 이용한 3차원 패키징은 발전 가능성이 큰 중요한 기술분야라고 사료된다.

감사의 글

본 연구는 한국과학재단 특정기초연구(R01-2004-000-10572-0)지원으로 수행되었으며, 이에 감사드립니다.

참 고 문 헌

1. Said F. Al-sarawi, Derek Abbott and Paul D. Franzon, "A Review of 3-D Packaging Technology", IEEE TRANSACTIONS ON COMPONENTS, PACKAGING, AND MANUFACTURING TECHNOLOGY PART B, 21-1 (1998. 2)
2. C.S.Premachandran, Ranganathan Nagarajan, Chen Yu, Bang Xiolin and Chong Ser Choong, "A Novel Electrically Conductive Wafer Through Hole Filled Vias Interconnect For 3D MEMS Packaging", 2003 Electronic Components and Technology Conference
3. Ik-Bu Sohn, Man-Seop Lee, and Jeong-Yong Chung, "Fabrication of Optical Splitter and Passive Alignment Technique With a Femtosecond Laser", IEEE PHOTONICS TECHNOLOGY LETTERS, VOL. 17-11 (2005. 11)
4. R.Bosch GmbH, US Patent 4855017 and 4784720, (1994)
5. Manabu Tomisaka, Masataka Hoshino, Hitoshi Yonemura, Kenji Takahashi, "Copper Electroplating Study for Through Silicon Chip Electrode of Threedimensional Chip Stacking", DENSO TECHNOLOGY REVIEW, 6-2 (2001)
6. A.A.Ayon et al., "Characterization of a time multiplexed inductively coupled plasma etcher", J. Electrochem. Soc., 146 (1999), 339-349
7. K.S.Chen et al., "Effect of process parameters on the surface morphology and mechanical performance of silicon structures after deep reactive ion etching (DRIE)", J. of microelectromechanical Sys., 11-3 (2002), 264-274
8. K.S.Chen et al., "Tailoring and testing the fracture strength of silicon at the mesoscale", J. of Amer. Cera. Soc., 83 (2000), 1476-1484
9. Hara K., Kurashima Y. Hashimoto N., Matsui K., Matsuo Y., Miyazawa I., Kobayashi T., Yokoyama Y. and Fukazawa M., "Optimization for Chip Stack in 3-D Packaging", IEEE transaction on advanced packaging, 28-3 (2005. 8)



- 홍성준
- 1979년생
- 서울시립대학교 신소재공학과
- 마이크로 패키징, 솔더링
- e-mail : hongsj1979@uos.ac.kr



- 전지현
- 1981년생
- 서울시립대학교 신소재공학과
- 마이크로 패키징, 도금
- e-mail : exkaede@empal.com



- 정재필
- 1959년생
- 서울시립대학교 신소재공학과
- 마이크로 패키징, 솔더링
- e-mail : jujung@uos.ac.kr