연 구 논 문

3D 패키지용 관통 전극 형성에 관한 연구

김대곤* · 김종웅* · 하상수* · 정재필** · 신영의*** · 문정훈**** · 정승부*

*성균관대학교 공과대학 신소재공학부
**서울시립대학교 공과대학 신소대공학과
***중앙대학교 기계공학부
****수원과학대학 일렉트로닉스패키징과

Fabrication of Through-hole Interconnect in Si Wafer for 3D Package

Dae-Gon Kim*, Jong-Woong Kim*, Sang-Su Ha*, Jae-Pil Jung**, Young-Eui Shin***, Jeong-Hoon Moon**** and Seung-Boo Jung*

*School of Advanced Materials Science and Engineering, Sungkyunkwan University, Suwon 440-746, Korea
**Department of Materials Science Engineering, Seoul University, Seoul 130-743
***School of Mechancal Engineering, Chung-Ang University, Seoul 156-756, Korea
****Department of Electronic Packaging, Suwon 445-742, Korea

Abstract

The 3-dimensional (3D) chip stacking technology is a leading technology to realize a high density and high performance system in package (SiP). There are several kinds of methods for chip stacking, but the stacking and interconnection through Cu filled through-hole via is considered to be one of the most advanced stacking technologies. Therefore, we studied the optimum process of through-hole via formation and Cu filling process for Si wafer stacking. Through-hole via was formed with DRIE (Deep Reactive Ion Etching) and Cu filling was realized with the electroplating method. The optimized conditions for the via formation were RF coil power of 200 W, etch/passivation cycle time of 6.5 : 6 s and SF6 : C4F8 gas flow rate of 260 : 100 sccm. The reverse pulsed current of 1.5 A/dm2 was the most favorable condition for the Cu electroplating in the via. The Cu filled Si wafer was chemically and mechanically polished (CMP) for the following flip chip bumping technology.

*Corresponding author :sbjung@skku.ac.kr (Received February 28, 2006)

Key Words : Si chip stacking, 3D package, SiP, Through hole, Cu filling, Flip chip

1. 서 론

휴대폰, PDA (Personal Digital Assistants) 및 디지털 카메라 등의 고성능 전자제품이 널리 대중화되고 수요가 급증하게 됨에 따라 전자 시스템의 고속화 및 다기능화가 요구되고 있다. 이러한 전자 시스템의 고성능화는 빠른 신호처리가 가능한 IC (Integrated Circuit)의 개발 및 보다 효율적인 전자 패키징 시스템의 개발이 동시에 전제되어야 가능한 일이다. 하지만 최근 보고에 의하면 전자 제품의 성능은 IC 자체의 성능 보다는 패키징 구조에 의한 신호지연에 의해 결정된다고 하는데, 이는 패키징 기술이 현 반도체 기술의 발전 속도에 미치지 못함을 의미하는 것으로 시사하는 바가 크다. 즉, 반도체 시스템의 개발에 있어서 전자 패키징 기술의 개발 또는 개발된 기술의 상용화 지연 등이 전자 제품의 발전에 저해요소로 작용하고 있는 것이다[1-6].

전자 제품의 고성능화에 따라 전자 패키지가 보다 미세 피치화 및 다핀화의 경향으로 나아가고 있는 것은

주지의 사실이다. 특별히 IC 패키지의 경우, 이른바 초기 삽입실장형 패키지인 DIP (Dual In-line Package), PGA (Pin Grid Array) 등의 형태에서 크기가 작고 전기적 성능이 우수한 표면실장 (Surface Mount Technology) 형태로 진화하였고 동시에, 표면실장용 패키지로써는 초기의 QFP (Quad Flat Package)등의 주변실장 (peripheral array)형에서 BGA (Ball Grid Array), CSP (Chip Scale Package) 및 FC (Flip Chip)등의 면실장 (area array)의 형태로 발전을 지속하여 왔다. 이러한 발전 경향은 줄곧 다기능화 및 고속화에 유리한 방향으로 전개되어 온 것임에는 의문에 여지가 없지만, IC를 보드에 직접접합 (direct bonding)하는 플립칩 (FC)에 이르러서는 진화의 한계에 부딪힌 것이 아니냐는 의문이 드는 것도 사실이다[7-11].

최근 이러한 한계를 극복하기 위한 새로운 마이크로 패키징 기술이 제안되었는데, 칩을 Z축 방향으로 적층하여 접합면적을 최소화하는 이른바 3-D 패키징 기술 (3-D packaging technology)이 그것이다. 하나의 독립적인 기능을 수행하는 장치를 시스템 (system)이라고 하는데, 이렇게 하나의 시스템이 완성되기 위해서는 보드위에 메인 칩을 비롯한 다양한 역할의 칩이 각기 실장 되고, 다시 여러 수동소자들이 실장 되어야 가능하다. 3차원으로 칩을 적층함으로써 로직(logic), 메모리(memory), 기타 디바이스 (device) 등 시스템을 구성하는 다양한 기능이 하나의 패키지에 통합되어진 대표적인 예를 Fig. 1에 도시하였다. 현재까지는 수개의 칩이 각기 보드위에 패키징 되어 왔으므로 보드위에 패키지가 차지하는 면적이 상당히 클 수 밖에 없었다. 하지만 칩위에 칩을 접합하고, 그 위에 또 다른 칩을 접합하여 패키징하게되는 3-D 패키징을 이용하면 1개의 칩을 실장 할 면적에 수개의 칩을 실장하게 되므로 그만큼 접합 면적에서의 이점이 생긴다[12-15].

이러한 3-D 패키징 기술은 이미 수년전에 그 아이디어가 성립되어 기술 개발이 이루어진 것으로 완전히 최신 기술이라고는 할 수 없지만, 본 연구에서 소개하고자 하는 기술은 현재까지 개발된 기술과는 접근방식에서 다소 차이가 있다는데 주목할 필요가 있다. 즉, 본 연구에서는 DRIE (Deep Reactive Ion Etching) 기법을 이용한 300 ㎛ 두께의 웨이퍼를 완전히 관통한 후 다음 공정을 진행하게 되는데 이는 현재까지 주로 사용되어온 일부 두께만을 관통한 후 나머지는 깎아내어 관통칩을 형성하는 기법과는 다소 차이가 있다. 뿐만 아니라 본 연구에서는 관통홀에 금속을 전해도금하기 위하여 seed층을 웨이퍼 표면에만 형성시켰는데, 이는 보다 양호한 도금층을 얻을 수 있는 것으로 판단되었다. 본 연구에서 소개하고자 하는 기술은 현재까지 개발된 최신 패키징 기술과의 접목이 가능하다는 점이 또 다른 장점이 될 수 있다. 즉, 이미 업계에서 수년전에 발표된 바 있는 칩 적층 기술은 기존의 와이어 본딩 (wire bonding) 방식에 기반한 것인데, 칩은 기존의 접착제 (adhesive)를 이용하여 접합하고 배선 공정은 금 와이어를 이용하여 실현하는 이러한 공정은 와이어 접합공정의 난해함 및 와이어끼리의 접촉에 의한 불량 요인을 제거할 수 없으므로 적층 가능한 칩의 개수에 한계를 나타낼 수밖에 없었다. 이에 대한 대안으로 제안된 것이 관통형 칩 적층방식인데, 이 기술은 칩 자체를 관통한 후 전도체를 이용하여 구멍을 메우고 상부와 하부의 전극과 연결함으로써 접합과 배선을 동시에 해결하고자 하였다. 칩끼리의 배선은 일반적인 플립칩 공정을 통하여 해결 가능하고, 칩 끼리의 간격은 다시 언더필 (underfill)을 이용하여 채우게 되므로 신뢰성 측면에서도 큰 문제가 없을 것으로 판단된다[10,12,15-16].

이러한 관통형 칩 적층기술도 다시 두 가지 방식으로 나뉠 수 있는데, 첫 번째는 칩의 표면으로부터 약 30~60 ㎛ 정도의 깊이만 식각한 후 나머지 식각되지 않은 부위를 기계적으로 깎아내어 최종적으로 30~60 ㎛ 두께의 관통형 칩을 제작하는 방법이고, 두 번째는 고도의 Si 식각장치를 이용하여 수백 ㎛의 두께를 모두 식각하여 관통형 칩을 제작하는 방법이다. 전자의 경우 식각 자체에 큰 어려움이 없고, 홀의 체적이 크지 않으므로 홀을 전도성 물질로 채우는 데도 큰 어려움이 없다. 하지만 관통 후의 칩 두께가 수십 ㎛밖에 되지 않으므로 신뢰도를 보증할 수 없고, 이후 플립칩 접합 공정 중의 칩의 파손도 빈번할 수밖에 없으므로 현실적으로 실용성이 떨어지는 기술로 판단된다. 반면, 수백 ㎛의 Si 칩을 통째로 관통하여 적층하는 후자의 기술은

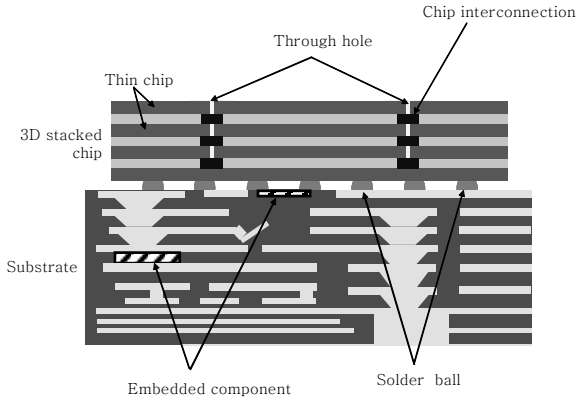

Fig. 1 Schematic structure of Si chip stacked 3D package

상당히 두꺼운 두께의 Si을 식각하는 데 상당한 어려움이 있고, 홀의 체적이 크므로 전체 홀을 도전 물질로 채우는 데 어려움이 있지만, 칩의 두께를 수백 ㎛로 유지할 수 있으므로 신뢰성이 우수하고 이후의 공정 적용에도 용이하다는 장점을 가진다.

이에 본 연구에서는 차후 플립칩 공정을 통한 3-D 패키지의 구현을 염두에 두고 위에 언급한 두 번째 관통형 기술의 Si 식각 조건 및 전도성 물질의 도금 기술의 최적화를 달성하고자 하였다. Si의 식각은 DRIE를 이용하여 구현하였고, 전도성 물질로는 고속 신호전달에 용이하도록 Cu로 하였다.

2. 실험방법

본 연구에서 도입한 관통형 Si 칩의 제작 공정을 Fig. 2에 나타내었다. 그림에서 알 수 있듯이, 식각 후의 홀에 전도성 금속을 도금하기 위하여 300 ㎛ 두께의 Si 웨이퍼 표면에 Au를 증착하였다. 홀에의 도금 물질은 패키지의 고속 신호전달 특성에 맞추어 Cu로 하였다. 관통형 Si 칩 패턴을 형성하기 위해 PMER (negative type) PR(photoresist)를 사용하였으며, PR 코팅 조건은 500 rpm과 3500 rpm에서 각각 10초, 25초간 스핀코팅(spin coating) 하였다. PR막이 코팅된 시편을 110℃의 hot plate위에서 210초간 유지하여 soft baking한 후 mask aligner를 이용하여

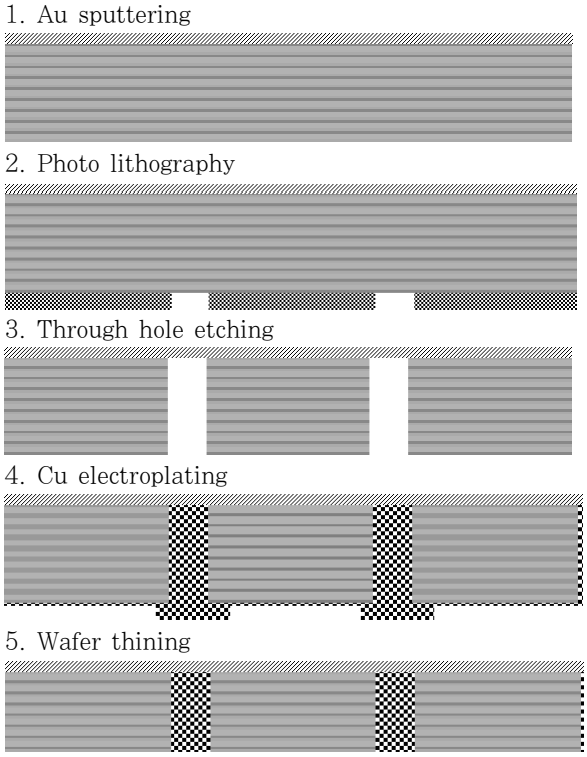

Fig. 2 Manufacturing process for Cu electroplated through-holes in Si chip

PR막이 형성된 실리콘 기판위에 관통형 홀을 형성하기 위하여 전체적으로 설계한 마스크의 패턴을 정렬하였다. 마스크와 기판을 정렬 시킨 후 365 λ의 파장을 가진 UV(Ultra Violet)광으로 50초간 노광하였다. 노광된 시편은 다시 100℃의 hot plate에서 120초간 hard baking 한 후, 현상액에 약 120초간 유지하여 현상하였다. 이때 PR은 DRIE를 이용하여 Si 웨이퍼를 식각하는 동안 견딜 수 있도록 본 연구에서는 약 12 ㎛ 두께로 도포한 후 식각하였다. 앞에서 언급한 바와 같이 Si 웨이퍼의 식각은 DRIE를 이용하여 실시하였다. 본 실험에서는 Multiplex ICP(ASE^{HR})를 사용하여 Si 웨이퍼를 관통하였다. 본 실험에 사용한 장비는 electronics, loadlock, wafer loader와 process chamber로 구성되어 있고, 플라즈마 분포를 균일하게 하고 높은 이방성 식각과 함께 높은 식각 속도를 갖는 것이 특징이다. 이들 시스템은 각각 etching과 passivation이 주기적으로 작동하고, 주기적으로 반응가스가 바뀌어 진다. Passivation 단계에서 사용되는 C_4F_8 플라즈마는 fluorocarbon polymer를 증착시키고 etching 단계에서 사용되는 SF_6 플라즈마는 증착되어진 fluorocarbon polymer와 실리콘을 식각하는 과정을 주기적으로 반복한다. DRIE를 이용한 웨이퍼 식각 조건을 Table 1에 나타내었다.

Table 1과 같은 조건으로 Si 웨이퍼에 홀을 형성시킨 후 전해도금 방법으로 홀에 Cu를 도금하였는데, 이때 전해도금 조건인 펄스 (pulse)의 유무 및 전류밀도를 최적화하고자 하였다. 전류를 인가할 때 펄스를 줄 때(pulsed)와 그렇지 않을 때 (DC), 그리고 역펄스 (reverse pulse)를 인가하였을 때 도금 입자를 SEM으로 관찰하였다. Fig. 3은 본 연구에 적용된 인가전류의 변화 커브를 나타낸다.

다양한 예비 실험을 통하여 도금된 도금층의 표면을 분석하여 최적의 도금 조건을 찾은 후, 서로 다른 두 종류의 전류 밀도를 인가하여 홀에 Cu를 도금하였다. 이 때 Cu 도금은 도금을 위한 전처리로 증착한 Au 층으로부터 이루어지기 시작하는데, 본 연구에서는 Fig. 2에 나타난 바와 같이 Si 웨이퍼 상부에 증착된 Au 층에서 도금이 이루어지도록 하였다. 경우에 따라 도금이 양호하게 이루어지도록 하기 위하여 홀의 내벽에도 seed

Table 1 DRIE conditions for through-hole formation in Si chip

Reactive gas	Flow rate (sccm)	Time (s)	Working Pressure (Pa)
SF_6, O_2	260, 26	6.5	3.99
C_4F_8	100	5	1.07

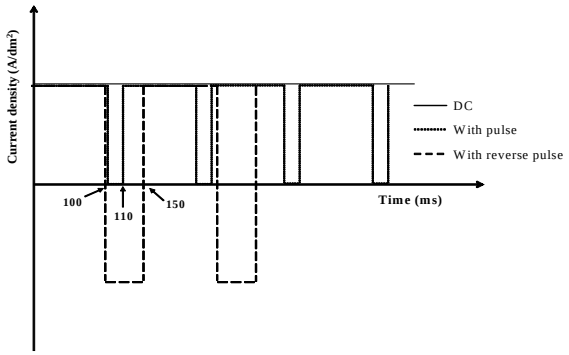

Fig. 3 Current impression conditions for Cu electroplating

층을 증착하여 도금하기도 하지만, 본 연구팀의 예비 연구 결과, 홀의 내벽에 seed 층이 있을 경우 Cu도금부에 공공이 발생할 확률이 훨씬 높아짐을 알 수 있었다. 이는 두께방향으로 도금되어야 하는 높이가 지름을 따라 도금되는 부위에 비해 훨씬 크기 때문에 발생하는 것으로, 두께 방향으로 도금이 채 다 이루어지기 전에 홀의 방향과 수직으로 도금이 마무리되어 상층부로의 도금을 방해하기 때문인 것으로 판단된다. 이에 본 연구에서는 추가적인 내벽에의 Au 층 증착 없이, 표면에의 Au 층 증착만으로 Cu를 도금하고자 하였고, 최종적으로 공공 없는 Cu 도금부를 달성하는 데 목적이 있다. 홀에 Cu를 도금한 후 이후의 공정은 기존의 플립칩 공정과 유사하게 진행되는데[4], 플립칩 공정의 매끄러운 진행을 위하여 웨이퍼 표면 밖으로 돌출된 Cu 도금부를 CMP (Chemical-Mechanical Polishing)을 이용하여 제거하였다. 또한 Au 층이 증착된 면도 CMP를 이용하여 제거하였는데, 이는 Si 칩에 배선을 형성하기 위함이다.

3. 실험결과 및 고찰

Fig. 4는 Si 웨이퍼에 Au를 증착하고 DRIE를 이용하여 관통한 후 SEM으로 표면 및 단면을 촬영한 사진이다. Fig. 4(a)에서 알 수 있듯이, Si 웨이퍼에 100 ㎛ 직경의 원형 홀이 형성되어 있고, 또한 단면 사진에서알 수 있듯이 홀은 Si 웨이퍼 전체 형성되어 있으며 DRIE를 이용하여 식각을 진행하였을 때 Si 부분만 식각되었음을 알 수 있었다.

Fig. 5는 Fig. 3에 나타낸 전류 인가 조건에 따른 Cu 도금부의 표면 조도를 SEM으로 관찰한 사진이다. 어느 조건이나 Cu 입자가 명확하게 관찰되는 도금 형상을 나타내었으나 SEM 사진 만으로는 조건에 따른 구체적인 차이점을 확인할 수 없었다.

일반적으로 도금을 위한 전류가 DC일 때보다 펄스를

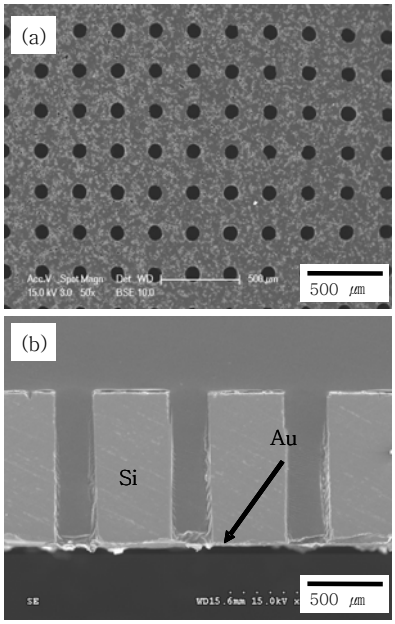

Fig. 4 SEM images of the top surface (a) and cross-sectional view (b) of through-holes in Si wafer

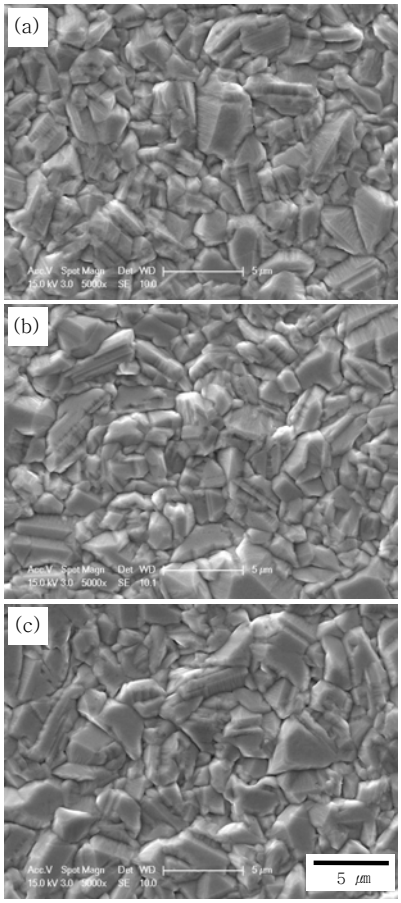

Fig. 5 Morphologies of electroplated Cu surface; (a) DC, (b) with pulse and (c) with reverse pulse

인가할 때 전반적인 결정립 크기가 감소하고, 역펄스를 인가할 때 그 크기의 감소폭이 가장 큰 것으로 보고되고 있다[18].

결정립 크기가 작을 경우 도금부의 특성이 우수하고 특별히 공간을 채우는데 결함 발생률이 적어질 것임을 감안할 때, 펄스 인가 시 그러한 특성을 보이는지 관찰하고자 하였으나 SEM 사진으로는 그러한 결과를 확인할 수 없었다. 이에 본 연구에서는 도금부의 표면 조도를 AFM (Atomic Force Microscopy)을 이용하여 추가적으로 관찰하였다.

Fig. 6는 AFM으로 Cu 도금층의 표면 조도를 관찰한 결과를 나타낸다. 그림에서 알 수 있듯이, 표면 형상은 펄스 전류를 인가하였을 때와 DC를 인가하였을 때는 큰 차이가 없으나 역펄스를 인가하였을 때는 홀의 표면 거칠기가 크게 감소하는 결과를 나타내었다. 본 연구에서는 역펄스를 인가할 때 가장 균일한 도금층을 얻을 수 있었다. 홀 표면의 RMS (Root Mean Square) 조도 값은 DC, 펄스 인가 및 역펄스 인가에 따라 각각 158.36, 145.11 및 125.75 nm의 값을 나타내었다. 이 또한 역펄스 인가 조건이 균일하고 미세한 도금부 형성에 가장 적합할 것임을 나타내는 결과로써, 이러한 결과들을 바탕으로 본 연구에서는 역펄스를 가하여 Si 웨이퍼의 홀에 Cu를 도금하고자 하였다.

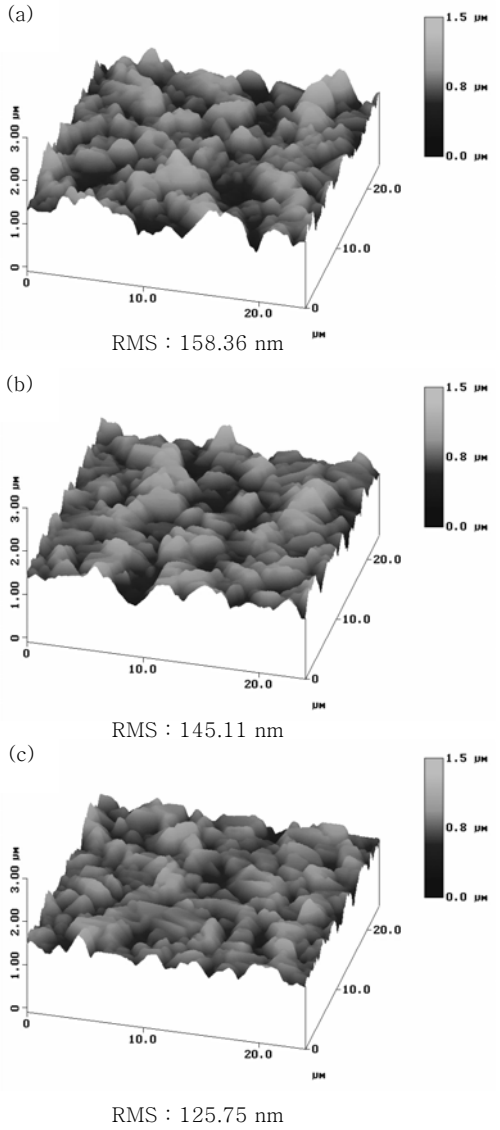

Fig. 6 AFM measurements of electroplated Cu surface; (a) DC, (b) with pulse, (c) with reverse pulse

Fig. 7은 Si 웨이퍼에 형성된 홀에 Cu를 도금하기 위하여 0.5 A/dm^{2}의 전류밀도로 역펄스 전류를 인가하여 Cu를 도금한 후에 SEM으로 표면을 관찰한 사진이다. Fig. 7의 (a)와 (b)는 4인치 Si 웨이퍼의 중앙부에 형성된 홀 도금부를 관찰한 사진이고, (c)와 (d)는 웨이퍼의 가장자리에 형성된 홀 도금부를 관찰한 사진이다. 그림에서 웨이퍼의 가장자리에 형성된 홀은 Cu로 잘 채워진 반면에, 중앙부에서는 Cu가 홀 전체에 잘 채워지지 않았다. 이를 해결하기 위해 도금 시간을 25시간에서 30시간을 늘려서 재실시 해보았으나 홀 도금 균일도의 차이는 좁혀지지 않아 도금 전류밀도를 변화시켜 실험을 하였다.

Fig. 8은 1.5 A/dm^{2}의 전류밀도로 16시간 동안 Cu를 도금한 후 웨이퍼 표면을 SEM으로 관찰한 결과이다. 0.5 A/dm^{2}의 경우에 비해 1.5 A/dm^{2}의 경우에는 중앙부와 웨이퍼 외곽부 모두에서 양호한 홀 도금 형상을 얻을 수 있었는데, 이로써 역펄스를 인가하여 홀에 Cu를 도금할 경우 1.5 A/dm^{2}의 조건이 가장 적합할 것임을 알 수 있었다. 하지만 Fig. 7과 Fig. 8은 모두 웨이퍼의 표면에서 홀 도금부를 관찰한 사진으로, 홀 내부가 모두 Cu로 도금 되었는지를 확인할 수는 없다.

일반적으로 본 연구에서와 같이 Si 웨이퍼를 두께 방

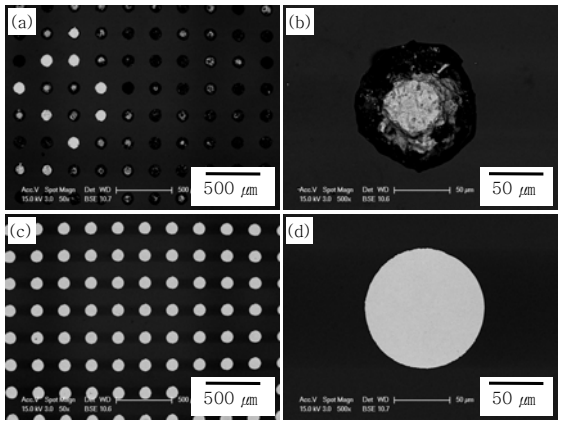

Fig. 7 Cu electroplating behaviors in through-holes with current density of 0.5 A/dm2; (a)-(b) center region and (c)-(d) edge region of Si wafer

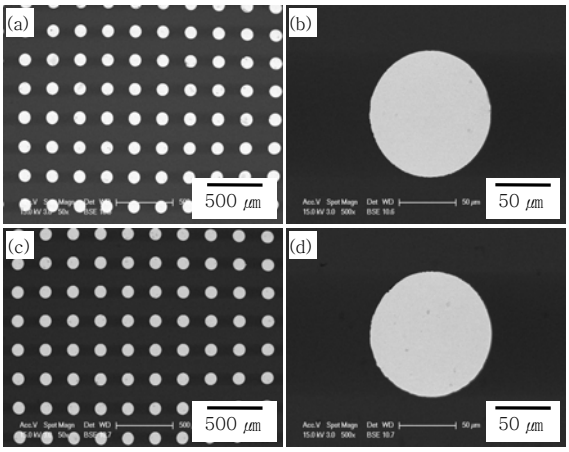

Fig. 8 Cu electroplating behaviors in through-holes with current density of 1.5 A/dm^2; (a)-(b) center region and (c)-(d) edge region of Si wafer

향으로 관통하여 Cu로 채우는 경우 중앙부에 큰 공공이 생성되거나 홀의 표면으로의 끝부분에 도금이 되지 않는 결함이 자주 발생하는 것으로 알려져 있다.[18] 홀의 중앙부에 도금이 되지 않아 발생하는 공공은 홀의 내벽에 seed 층을 형성시킨 후 도금을 실시할 때 많이 발생하는 현상으로써, 홀 도금시 공급되는 이온의 확산 속도와 연관이 있다. 이를 방지하기 위해서는 내벽에 seed 층을 형성시키지 않은 채 도금하는 것이 필요할 것으로 판단되고, 본 연구를 통해 확인할 수 있었다. 또한, 홀의 표면방향 가장자리에 결함이 자주 발생하는 것으로 알려진 것은 도금의 균일도와 큰 관련이 있는 것으로, 도금 조건을 설정할 때 미세한 결정립을 형성함으로 해결할 수 있다. 본 연구에서는 홀 도금시 역펄스를 인가하여 이를 해결하였다.

Si 관통홀에 Cu 도금층이 잘 채우고 있는지를 확인하기 위하여 홀을 절단하여 SEM으로 관찰하였다. Fig. 9는 역펄스 전류를 인가하여 Cu를 도금한 후, 홀의 단면 사진을 나타낸다. 특별히 Fig. 9에는 전류 밀도 변화에 따른 중앙부의 홀 사진만을 나타내었는데, 이는 중앙부의 홀에 Cu가 도금되는 효율이 특히 떨어지기 때문이다. 그림에서 알 수 있듯이 0.5 A/dm^{2}의 조건으로 도금 시 홀의 많은 부위가 채워지지 않은 결과로 나타났지만, 1.5 A/dm^{2}의 조건으로 도금 시 웨이퍼의 중앙부임에도 전체 홀 체적이 Cu로 채워져 있는 것을 알 수 있었다. 이를 통해 다시 한번 본 연구의 시험조건이 최적화된 것임을 알 수 있었고, 이후 플립칩 공정을 통한 최종 Si 칩의 적층에도 본 연구의 공정이 이용될 수 있음을 재확인 할 수 있었다.

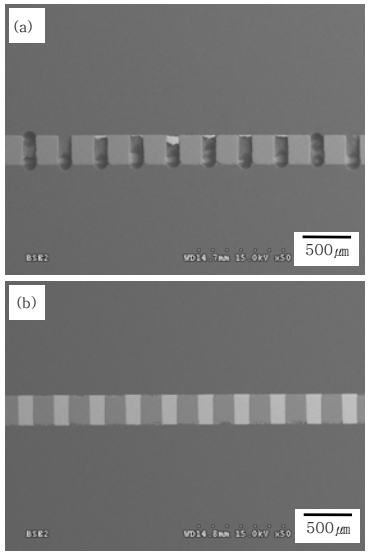

Fig. 9 Cross-sectional SEM views of Cu electroplated through-holes with various current densities; (a) 0.5 A/dm^2 and (b) 1.5 A/dm^2

4. 결 론

본 연구에서는 최종 플립칩 공정을 적용하여 Si 칩을 적층하기 이전에 공정 요소 기술로써의 Si 칩 관통 기술 및 관통홀 Cu 도금 기술의 최적화를 달성하고자 하였다. 본 연구를 통해 얻은 결론을 다음과 같이 정리할 수 있었다.

1) DRIE를 이용한 Si 식각 기술로써, 300 ㎛ 두께의 Si 웨이퍼를 관통할 수 있었다. 관통형 Si 식각에 있어서 coil power 200 W, cycle time 6.5/5 s, SF6:C4F8의 가스유량 260 : 100 sccm에서 최적 조건을 얻을 수 있었다.

2) Cu 도금부의 표면 분석을 통해 역펄스를 인가할 경우 가장 균일하고 미세한 도금층을 얻을 수 있음을 알 수 있었다.

3) Si 관통홀에 Cu를 도금함에 있어 1.5 A/dm^{2}의 전류 밀도를 인가하는 것이 가장 적합할 것임을 알 수 있었다.

후 기

본 연구는 과학기술부 기초과학연구사업(R01-2004-000-10572-0)의 연구비 지원에 의하여 수행되었으며, 연구비 지원에 감사드립니다.

참 고 문 헌

1. K. N.Tu and K Zeng : Tin-Lead(SnPb) solder

reaction in flip chip technology, Materials Science and Engineering R, 34, (2001), 1-58
2. Jong-Woong Kim, Dae-Gon Kim, Won Sik Hong and Seung-Boo Jung : Evaluation of Solder Joint Reliability in Flip-Chip Packages during Accelerated Testing, Journal of Electronic Materials, 34-12, (2005), 1550- 1557
3. Frank Stepniak : Failure criteria of flip chip joints during accelerated testing, Microelectronics Reliability, 42-12, (2002), 1921-1930
4. Dae-Gon Kim, Jong-Woong Kim, Jung-Goo Lee, Hirotaro Mori, David J. Quesnel and Seung-Boo Jung : Solid state interfacial reaction and joint strength of Sn-37Pb solder with Ni-P under bump metallization in flip chip application, 395, (2005), 80-87
5. Jong-Woong Kim and Seung-Boo Jung : Optimization of shear test for flip chip solder bump using 3-dimensional computer simulation, Microelectronic Engineering, 82, (2005), 554-560
6. L. K. Teh, E. Anto, C. C. Wong, S. G. Mhaisalkar, E. H. Wong, P. S. Teo and Z. Chen : Development and reliability of non- conductive adhesive flip-chip packages, Thin Solid Films, 462-463, (2004), 446 -453
7. Rao. R. Tummala: SOP : What IS IT and Why? A New Microsystem integration Technology Paradigm-Moore′ Law for System Integration of Miniaturized Convergent Systems of the Next Decade, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 27-2, (2004), 241- 249
8. Horoshi Yamada, Takashi Togasaki, Masanobu Kimura, and Hajime Sudo : High-Density 3-D Packaging Technology Based on the Sidewall Interconnection Method and Its Application for CCD Micro Camera Visual Inspection System, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 26-2, (2003), 113-121
9. Gerard Kelly, Anthony Morrissey, John Alderman and Henri Camon : 3-D Packaging Methodologies for Microsystem, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 23-4, (2000), 623-630
10. Kris Kwiatkiwski, Robert Wojnarowski, Chris Kapusta, Stuart Kleinfeder and Mark Wilke : 3-D Electronics Interconnect for High-Performance Imaging Detectors, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 51-4, (2004), 1829-1834
11. Hyoung Soo Ko, Jin S, Kim, Hyun Gook Yoon, Se Young Jang, Sung Dong, Cho and Kyung Wook Paik : Development of Three-Dimensional Memory Die Stack Package Using Polymer Insulated Sidewall Technique, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 23-2, (2000), 252-256
12. Y. K. Tsuiand and S. W. Ricky : Design and Fabrication of a Flip-Chip-on-Chip 3-D Packaging Structure With a Through-Silicon Via for Underfill Dispensing, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 51-4, (2004), 413-420
13. Jesus N. Calata, John G. Bai, Xingsheng Liu, Sihua Wen, and Guo-Quan Lu : Three- Dimensional Packaging for Power Semiconductor Devices and Modules, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 28-3, (2005), 404-412
14. Leonard W. Schaper, Susan L. Burkett, Silke Spiesshoefer, Gowtham V. Vangara, Ziaur Rahman, and Swetha Polamreddy : Architectural Implocations and Process Development of 3-D VLSI Z-Axis Interconnects Using Through Silicon Vias, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 28-3 (2005), 356-366
15. Vaidyanathan Kripesh, Seung Wook Yoon, V. P. Ganesh, Navas Khan, Mihai D, Rotaru, Wang Fang, and Mahadevan K, Iyer : Three-Dimensional System-in-Package Using Stacked Silicon Platform Technology, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 28-3, (2005), 377-386
16. Brian Morgan, Xuefeng Hua, Tomohiro Iguchi. Taizo Tomioka, Gottieb S. Oehrlein and Reza Ghodssi : Substrate interconnect technologies for 3-D MEMS packaging, Microelectronics Engineering, 81, (2005) 106-116
17. Kazumi hara, Yohei Korashima, Nobuaki Hashimoto, Kuniyasu Matsui, Yoshihide Matsuo, Ikuya Miyazawa, Tomonaga Kobayashi, Yoshihiko Yokoyama, and Motohiko Fukazawa : Optimization for Chip Stack in 3-D Packaging, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 28-3, (2005), 367-376
18. Gun-Ho Chang, Si-Young Chang and Jae-Ho Lee : Via/Hole Filling by Pulse-Reverse Copper Electroplating For 3D SiP, Materials Science Forum, 510-511, (2006), 942-945