

미세 범프를 이용한 연성기반 정밀 접합 기술

김민수* · 이창우**†

*과학기술연합대학원대학교

**한국생산기술연구원

Precise Joining Technology on Flexible Substrate by Using Micro-bumps

Min-Su Kim* and Chang-Woo Lee**†

*University of Science and Technology, Dept. Electronic Packaging

**Korea Institute of Industrial Technology

†Corresponding author : cwlee@kitech.re.kr

1. 서 론

미래 전자제품의 시장에서 핵심적 요구사항은 간편하고 휴대가능하며 장 수명을 지닌 안전성과 편리성을 가지는 전자제품이다¹⁾. 예를 들어 몸에 부착이 가능하고 굴곡성을 지니는 Flexible display, 박판 굴곡형 electric paper (전자종이) 등이다. 이러한 제품은 이미 시제품을 넘어서 시장에 선보이기 시작했다. 이의 기술적 바탕은 연성기판에 초미세, 고밀도 실장이 가능한 bendable 초정밀 전자접합기술이다.

연성기판은 휴대성과 굴곡성이 우수하여 휴대용 디스플레이, 태양전지, 전자책 등의 응용이 가능한 기판이며 이에 대한 연속실장기술의 개발은 유럽과 일본 등 선진국에서는 이미 2000년대 초반에 연구개발이 수행되어 왔다²⁻³⁾.

연성기판 전자모듈위에 IC칩 등의 부품 실장을 위한 방법으로 와이어 본딩, TAB 본딩, 플립칩(Flip chip) 접합 방법이 이용되고 있다.⁴⁾ 적용되어지는 모듈의 사이즈와 집적도에 따라 방법이 다르지만 일반적으로 고집적 고밀도 전자접합을 위해서는 플립칩 방법이 가장 각광받고 있다. 플립칩 공정에 필요한 미세 피치, 미세 접합부를 형성하기 위하여 필요한 15-100um 수준으로 현재 적용되고 있는 솔더볼 혹은 스크린 프린팅방법으로는 접합부 크기를 미세화하기에는 기술적 한계가 있다. 이러한 문제점을 해결하기 위해 나노 컴포지트 솔더(Nano composite solder) 등의 연구가 이루어지고 있지만⁴⁾ 상용화의 단계가 아닌 연구단계에 머물러 있다. 한편 전해도금 방법을 이용한 솔더범프의 형성기

술이 대두되고 있는데 이러한 방법은 저 단가, 대량생산이 가능하지만 친환경 무연솔더의 적용에 대하여 3원계 조성의 솔더범프 형성 시 정밀조성제어에 어려움이 있어 현재까지는 2원계 솔더범프를 중심으로 미세 피치 대응을 위한 미세 범프 형성기술이 시도되고 있다. 특히 연성기판은 폴리이미드(poly-imide) 계열의 폴리머가 기반으로 사용되어 저온공정이 요구되고 있다. 이는 고온공정에서는 기판이 열적 영향에 취약하여 warpage 문제가 야기될 수 있기 때문이다. 이에 이방 전도성 접착 페이스트(ACP)나 필름(ACF) 등을 적용하는 연구가 진행되고 있으나 열악한 전기전도성 등으로 실용화에는 이루어지지 않고 있다. 우수한 전기전도성과 접합 강도를 보이는 금속간 접합 (Metal to Metal) 공정은 비교적 고온 (200℃)에서 이루어지기 때문에 보다 저온의 용점을 지니는 공정이 필요하다.

본 기술 강좌에서는 고집적 정밀 전자접합을 위한 Cu pillar bump 형성 기술과 연성기판에 적용 가능한 저온 무연솔더인 Sn-Bi 캡 범프(cap bump)의 형성기술에 대하여 기술하고자 한다.

2. 초미세 범프의 형성

솔더를 이용한 초 미세 접합을 위해서는 Cu pillar bump의 적용이 필요하다. 솔더범프모만은 용융솔더가 접합 압력에 대해서 상하 압력을 받아 범프사이즈 이상으로 넓은 면적을 형성하게 되기 때문이다. Cu pillar bump를 사용하면 상단의 cap bump만이 용융되고 Cu pillar bump는 녹지 않게 되고 형성 초기 범프 크

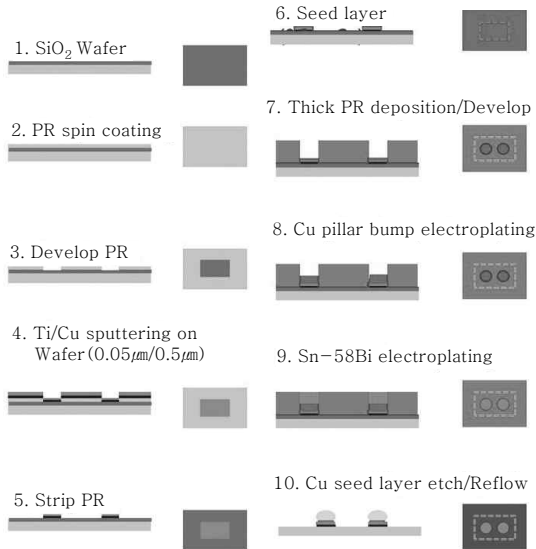


Fig. 1 Illustration of micro bump formation process

기로 유지하면서 접합할 수 있어 초미세 전자접합을 형성할 수 있다. 그림 1은 실리콘 기반의 chip 위에 마이크로 범프를 형성하는 일반적 공정순서를 모식도로 나타내었다. 일반 산업현장에서 사용되는 기판은 6 혹은 8인치의 p-type (100)의 Si 웨이퍼이고 실험식 규모에서는 칩과 보드간의 전기적 신호교류를 위한 금속 패턴층을 사진 식각법(photo lithograph method)을 이용한 Lift-off 공정으로 형성하게 된다. Lift-off 공정은 기존의 에칭을 이용한 사진식각 공정보다 에칭제 및 감광제 도포의 공정을 줄임으로써, 실제 양산 공정에서 비용 및 시간절감이 가능한 공정이다. 금속 패턴층은 실리콘 칩과 플렉서블 기판간의 전기적 신호교류의 목적 뿐만 아니라, 솔더를 이용한 접합 시 확산방지의 목적 및 젖음층의 역할로 사용된다. 일반적으로 금속 패턴층은 접착력 및 확산방지의 역할을 위해 Ti 혹은 W을 사용하고, 양호한 전기전도성과 가격적 측면을 고려하여 pad는 Cu를 사용한다. Ti와 Cu 금속 패턴층은 실리콘 웨이퍼 위에 스퍼터링 공정을 이용하여 각 50-70 nm와 500-1000 nm의 두께로 증착하게 된다.

기존 언급한 바와 같이 Cu pillar bump의 사용은 전기전도도의 우수성과 함께 솔더의 무너짐성을 보존하여 미세피치 전자접합을 가능하게 할 뿐 아니라 Cu의 우수한 열전도도 특성으로 인하여 전자 모듈의 방열특성을 향상시키는 장점도 있다⁵⁻⁶⁾. 미세 접합구조 형성을 위하여 Cu pillar bump를 사용하는 경우, 전해도금 전 표면 산화막 제거 및 범프의 균일증착을 위해 도금전처리를 하여야 한다. 일반적 범프형성의 전처리 공정조건을 Table 1에 나타내었으며, 전처리 후 Cu

Table 1 Pre-treatment conditions before electroplating for formation of Cu pillar bump

	Processing Temp.	Time	Remark
Water Cleaning	Room Temp.	-	DI water
Acid Cleaning	Room Temp.	1 min.	10% H ₂ SO ₄
Water Cleaning	Room Temp.	-	DI water
pre-dip	Room Temp.	1 min.	5% ACID

Table 2 Electroplating solution for Cu pillar bum

Cu metal (g/L)	15 - 35
H ₂ SO ₄ (g/L)	200 - 250
Cl ⁻ (ppm)	< 100

pillar 범프의 전해도금에 사용되는 도금액의 구성은 Table 2와 같다.

실험을 통하여 얻은 결과로 도금 시간을 30분, 40분, 50분, 60분으로 변화시키면서 시간의 변화에 따른 Cu pillar bump의 두께 변화를 그림 2에 나타내었다. Cu pillar bump의 평균 증착률은 일반적으로 약 0.30 - 0.40 μm/min이며 도금 시간에 따른 Cu pillar 범프의 모습과 시간에 따른 높이의 변화를 Fig. 2에 나타내었다. Cu pillar bump의 두께는 시간에 비례하여 지속적으로 증가하나 일정 시간이 경과한 뒤에는 증가율이 둔화되는 것이 일반적이다.

한편 공정 Sn-Bi솔더(m.p. 138°C)는 Sn-Ag-Cu (m.p. 217°C)나 Sn-Ag(m.p. 221°C) 조성의 솔더보다 낮은 용점을 갖는 저온 솔더 합금으로 기계적 성

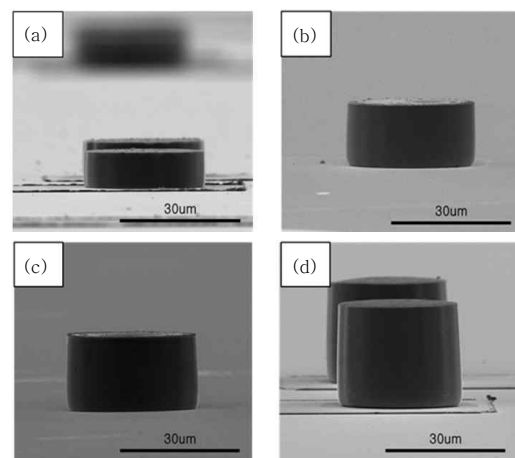


Fig. 2 The SEM images of Cu pillar bump with various electroplating time : (a) 30min(9μm), (b) 40min(14μm), (c) 50min(18μm), and (d) 60min(23μm)

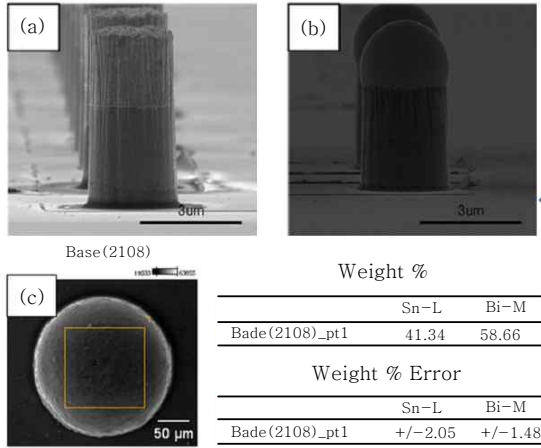


Fig. 3 SEM/EDS images of Sn-Bi bump for 6ASD (a) before reflow, (b) after reflow, and (c) EDS result

질 및 크립 특성이 우수하다고 알려져 있다⁵⁾.

일반적으로 Sn-Bi 범프 형성을 위한 최적 조건을 도출하기 위해서는 각 공정 조건별 증착율 및 Sn-Bi 함량을 파악하여야 한다. 또한 전류밀도도 중요한 공정조건임으로 이의 변화에 따른 형성 두께를 연계되는 공정 조건에서 항상 확인 할 필요가 있다. 그림 3에 보이는 이미지는 전류밀도를 6ASD에서 형성된 Sn-58Bi의 cap bump 형상이다. (a)의 이미지는 Cu pillar bump 위에 Sn-Bi전해도금을 수행한 직후의 이미지이고, (b)는 (a)의 범프를 접합공정을 위해 reflow하여 구형으로 형성한 이미지이며, (c)의 이미지는 공정조성을 확인하기 위한 조성분석 지점의 이미지와 EDS 결과를 나타낸 것이다. 공정조성의 솔더를 이용하는 경우에는 반드시 정밀 조성분석과 미세구조의 평가가 필요하다. 이는 공정(eutectic)조성이 이루어지지 않았을 경우에는 재료의 액상선이 고온으로 올라가게 됨으로 공정온도가 원하는 온도보다 상승될 우려가 높기 때문이며, 공정 조성이 검출되었어도 편석의 우려 때문에 미세구조는 반드시 평가되어야 한다. 그림에서 보이는 바와 같이 전류밀도, 공정온도(processing temp.) 등을 제어하여 cap bump의 높이와 크기를 제어할 수 있으며 이를 통한 미세 전자접합을 이룰 수 있다.



- 김민수
- 1985년생
- 과학기술연합대학원대학교
- 무연솔더범프, 플렉서블 기관
- e-mail: zappylos@kitech.re.kr



- 이창우
- 1967년생
- 한국생산기술연구원
- 무연솔더, 전자패키징, TSV
- e-mail: cwlee@kitech.re.kr

3. 제 언

Cu pillar bump와 Sn-alloy cap bump를 활용하여 초미세 전자접합을 구현하는 기술은 이미 25 μ m의 협피치를 산업계에서 양산하고 있으며 2013년에는 15 μ m로 보다 미세하게 형성된 전망이다. 이에 보다 정밀 공정을 통한 Cu pillar bump의 두께, 크기의 제어와 Cap bump의 조성 및 미세구조 제어기술은 매우 중요하게 대두될 것으로 사료된다.

향후의 연구는 Cap bump의 조성 및 형성되는 양에 따라 금속간화합물(Intermetallic compounds)의 형성 정도 및 이에 대한 전기전도도의 영향 등에 집중되어야 할 것으로 생각된다. 이는 상변태(phase transformation)에 따른 전기전도도, 접합강도 등이 변화할 것이고 이에 따라 미세접합부를 형성하고도 전기적 기능상의 문제나 접합강도에 따른 장기적 신뢰성에 악영향을 미칠 가능성이 있기 때문이다.

참 고 문 헌

1. Players, "Organic Electronics Forecasts 2005-2015", IDTec (2005)
2. R. H. Reuss, B. R. Chalamala, A. Moussessian, "Macroelectronics: Perspectives on Technology and Applications", Proc. IEEE, 93(7), 1239 (2005)
3. W. S. Wong and A. Salleo, Flexible Electronics, 1st Ed, pp.4-5, Springer (2009)
4. J. Shen and Y. C. Chan, "Research advances in nano composite solders", Microelectron. Reliab., 49(3), 223 (2009)
5. M. Y. Kim, S. K. Lim and T. S. Oh, "Thermal Cycling and High Temperature storage Reliabilities of the Flip Chip Joints Processed Using Cu pillar Bumps", J. Microelectron. Packag. Soc, 17(3), 27 (2010)
6. J. Y. Choi, M. Y. Kim, S. K. Kim, and T. S. Oh, "Flip Chip Process for RF Packages Using Joints Structures of Cu and Sn bumps", J. Microelectron. Packag. Soc, 16(3), 67 (2009)
7. S. K. Kang, "Lead (Pb)-Free Solders for Electronic Packaging", J. Electron. Mater., 23(8), 701 (1994)