특 집 : 고밀도 전자 패키징

MEMS 기술을 이용한 마이크로 전자 패키징 기술

김종웅 · 김대곤 · 문원철 · 문정훈 · 서창제 · 정승부

Application of MEMS Technology in Microelectronic Packaging

Jong-Woong Kim, Dae-Gon Kim, Won-Chul Moon, Jeong-Hoon Moon,
Chang-Chae Shur and Seung-Boo Jung

1. 개　　요

최근 마이크로 프로세서 (micro processor), 주문형 반도체 (ASIC)등의 비메모리 제품에 대한 시장의 요구와 휴대폰, PDA (Personal Digital Assistant) 및 초소형 음악 플레이어 등의 보급률 급진전으로 마이크로 시스템의 소형화, 다기능화에 대한 요구가 고조되고 있다[1-3]. 이러한 경향은 많은 양의 정보를 신속하고 정확하게 처리하기 위한 반도체 기술의 발전을 1차적으로 요구하는 것이지만, 시스템 내에서의 신호 전달 및 상호 시스템간의 신호 전달에 기여하는 반도체 패키징 기술의 발전을 요구하는 것이기도 하다. 전자 시스템의 발전 동향을 이와 같이 이해하는 것이 현재로써는 가장 일반적이고 또한 널리 통용되고는 있지만, 이는 반도체 기술과 패키징 기술이 명확히 구분되어 이해되는 전통적인 기술 개념에 기반 하는 것임에 주목할 필요가 있다. 즉, 반도체 제작 기술로만 이해되고 적용되어 오던 많은 기술들이 점차 패키징 기술에도 도입되면서 반도체 기술과 패키징 기술간의 차이가 줄어드는, 이른바 패러다임의 변화가 진행되고 있는 것이다.

반도체 공정 기술로써 개발되었지만 최근 첨단의 고밀도 다기능 및 초소형 패키지의 개발에 적용되고 있거나 적용될 가능성이 있는 기술로써 가장 대표적인 것으로 MEMS (Micro-Electro-Mechanical System) 기술을 이용한 Si 구조물 제작 기술을 들 수 있다. MEMS 기술은 기존의 반도체 공정을 이용하여 Si을 기계적으로 가공하는 기술인데, 이를 이용하여 Si을 가공할 경우 다양한 형태의 Si 구조물을 만들 수 있으므로 압력센서, 가속도 센서 및 광학 기구물 등을 만드는데 널리 이용되고 있다[4-5]. 전자 패키징 분야에서도 Si 칩의 적층 또는 각종 수동소자의 임베딩 등을 위하여 Si의 구조를 제어해야할 필요가 제기됨에 따라 이러한 MEMS 기술의 차용을 고려하기에 이르렀다.

MEMS 기술 중 전자 패키징에 가장 적극적으로 응용되고 있는 것이 Si의 건식 · 습식 식각 기술이다. Si은 건식 또는 습식으로 식각이 가능하며, 경우에 따라 등방성 또는 이방성 식각이 가능하므로 그 사용 목적에 따라 최적의 칩 형상을 구현할 수 있다. 본 연구에서는 이러한 건식 · 습식 Si 식각 기술의 종류와 식각 메커니즘에 대해 알아보고 전자 패키징에의 도입결과에 대해 소개하고자 한다.

2. 식각 공정 (etching process)

반도체 IC의 제조에 있어 기판 위에 형성되어 있는 층을 선택적으로 제거하는 공정을 사진식각 (photolithography)이라고 한다[6]. 이 때 선택적으로 제거되는 층은 주로 산화막 (SiO_2 등)이나 금속 층 (Al, Cu 등)이 되는데, 본 연구에서처럼 Si 자체가 식각 대상이 되는 경우도 존재한다. 사진식각 공정 중 사진 공정은 마스크 (mask) 상에 Cr으로 형성된 회로 패턴을 반도체 웨이퍼의 표면에 도포되어 있는 얇은 감광물질 (photoresist)로 옮기는 것을 일컬으며, 이를 통해 형성된 감광물질의 패턴들은 다음 단계인 식각 공정 시 식각 대상이 되지 않는 부위를 보호하는 마스크로써의 역할을 하게 된다. 이와 같이 제작된 웨이퍼에서 외부로 노출된 부분을 화학적 또는 물리적 반응으로 깎아 나가는 기술을 식각 공정이라고 한다. 이러한 식각공정에 의해 확산이나 이온 주입될 영역이 결정되어지고 또한 도선들의 연결 작업이 이루어지게 된다. 본 절에서는 이러한 사진식각 공정 중 식각 공정에 대해 자세히 살펴보고자 한다.

2.1 습식 식각 (wet etching)

식각 공정은 크게 습식 식각 (wet etching)과 건식 식각 (dry etching)으로 구분되는데, 이 중 습식 식각 공정은 일반적으로 식각 용액에 웨이퍼를 넣어 액체-고체 (liquid-solid)간 화학에칭에 의해 가공이 이루어지게 하는 것을 말한다. 일반적으로 습식 식각이라고 하면 등방성 (isotropic) 식각을 의미하며, Si 웨이퍼 표면에 형성된 산화막 등을 선택적으로 식각하는 데 매우 광범위하게 사용되어지고 있다. 식각의 과정은 우선 반응할 화학물질이 식각시키고자 하는 표면에 공급되고, 공급된 화학물질과 식각될 표면 사이에서 화학에칭이 일어난 후, 반응이 끝난 생성물질이 외부로 떨어져 나오는 순서로 진행된다. Fig. 1은 이러한 식각 과정을 그림으로 나타낸 모식도이다. 습식 식각 과정은 화학반응이 용해성 물질을 생성하여 표면으로부터 제거시킨다는 점 외에는 반응공학적 측면에서 CVD (Chemical Vapor Deposition) 공정과 매우 유사하므로 이를 떠올리면 이해가 빠를 것이다.

앞에서 이미 언급한 바와 같이 Si의 습식 식각 공정은 일반적으로 모든 방향으로 식각되는 속도가 동일한 등방성 식각 (isotropic etching)을 의미하지만, 결정 방향에 따라 식각 속도가 다른 이방성 식각 (anisotropic etching)도 구현이 가능하다. Si의 등방성 식각의 경우 식각 공정은 두 차례의 반응을 통해 이루어지는데, 첫 번째는 Si을 산화시켜 표면에 SiO_2 층을 형성시키는 것이고, 두 번째는 SiO_2를 식각시켜 최종적으로 Si의 식각을 구현하는 방식이다. 이 때 식각 용액은 질산 (HNO_3)과 불산 (HF)을 증류수에 섞은 것으로 많이 이용되는데, 다음 화학반응식이 그 두 번의 반응을 나타낸다.

$$Si + 2HNO_3 = SiO_2 + 2HNO_2$$

$$SiO_2 + 6HF = H_2SiF_6 + 2H_2O$$

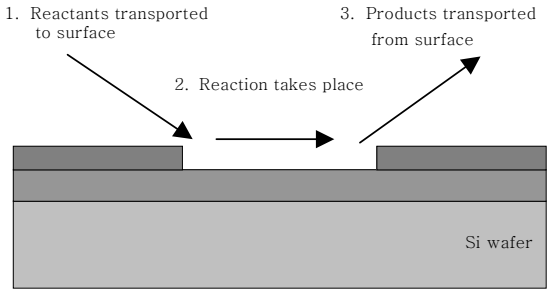

Fig. 1 Wet etching process

이 때 식각 속도는 HNO_3와 HF의 농도에 크게 의존한다. 식각 속도가 너무 빠르게 되면 식각 후 반응물의 이동이 원활하지 못하게 되고 이로 인해 식각 된 부위의 표면이 거칠게 될 수 있으므로 적당한 속도로 제어되어야 한다. HNO_3와 HF 외에 용액에 CH_3COOH를 일부 첨가하기도 하는데, 이 때 CH_3COOH는 HNO_3의 분해를 감소시키는 역할을 하므로 식각에 있어 완충제로써 사용되기도 한다.

한편 결정면 중에서 일정 방향의 한 면이 다른 면보다 매우 빠른 속도로 식각되는 경우가 있는데, 이러한 방향성을 갖는 식각을 이방성 식각이라고 한다. Fig. 2는 Si을 등방성 에칭 및 비등방성 에칭을 실시한 후 나타날 수 있는 형상의 차이를 보여준다. Si과 같이 다이아몬드 (diamond) 구조를 갖는 결정의 경우, (111)면은 (100)면이나 (110)면보다 면간 거리가 좁기 때문에 식각되는 속도가 느리다. 예를 들어 80℃의 식각 온도에서 (100)면의 식각 속도는 (111)면에 비해 약 100배 정도 빠르다. Si의 이방성 식각에 일반적으로 사용되는 식각 용액은 크게 EDP, Hydrazine 등과 같은 유기 용액과 KOH, NaOH 등의 무기 용액으로 나뉘어 진다[7]. 이 중 KOH 용액은 다른 수용액에 비해 독성이 작고, 식각속도가 빠르며, 높은 이방성을 나타내기 때문에 미세 가공 분야에서 가장 널리 사용되고 있다. KOH 수용액은 KOH, H_2O 및 이스프로필 알코올 (isopropyl alcohol)을 섞어 만들고 그 화학 반응식은 다음과 같다.

$$Si + 2OH^- + 2H_2O = SiO_2(OH)_2^{2-} + 2H_2$$

지금까지 살펴 본 습식 식각 공정은 일반적으로 비용이 적게 들고 간편하게 등방성 및 이방성 식각을 구현할 수 있다는 장점을 가지지만, 공정 제어가 어렵고 식각할 수 있는 선폭이 제한적이며, 부가적으로 생성되는 식각 용액의 처리가 어렵다는 단점도 가지고 있다.

2.2 건식 식각 (dry etching)

반도체 IC 제조 공정에서 Si을 제외하면 식각하고자

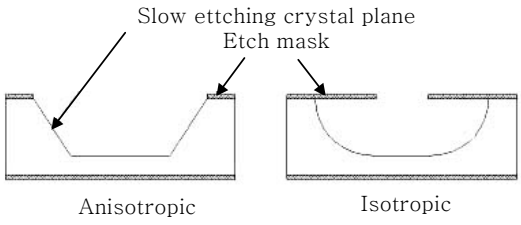

Fig. 2 Anisotropic & isotropic etching of S

하는 대부분의 물질들은 SiO_2, Si_3N_4가 증착된 금속 등과 같이 비정질이거나 다결정의 물질이다. 따라서 이러한 물질들을 습식으로 식각하면 등방성 식각이 이루어지기 때문에 수평과 수직이 같은 비율로 식각되게 된다. 즉, 실험자가 원하는 모양으로 정확히 식각하기가 대단히 어렵게 되는 것이다. 또한 습식 식각으로 식각 시 이른바 습식 식각법의 가장 큰 단점으로 지적되는, 마스크 하단의 물질이 식각되는 언더컷 (undercut) 문제가 야기되기도 하는데, 이는 식각 모형의 분해능 저하를 일으키는 가장 중요한 원인의 하나가 된다. 이러한 문제를 해결하기 위하여 개발된 식각 기술이 바로 건식 식각 기술이다[6].

건식 식각은 웨이퍼 표면에의 이온 충격에 의한 물리적 작용이나, 플라즈마 속에서 발생된 반응 물질들의 화학작용, 또는 물리 및 화학적 반응이 동시에 일어나 식각이 진행되는 공정이다. 물리적 식각은 이온들이 식각 대상 물질을 향하여 전계 (electric field)에 의해 가속된 후 충돌할 때의 운동량 이전에 의해 표면 마멸 현상이 일어나는 것으로써, 여기에는 이온빔 (ion beam) 식각, 스퍼터링 (sputtering) 식각, 그리고 RF (Radio-Frequency) 식각 등이 있다.

한편 화학적 건식 식각은 플라즈마에서 생성된 반응 물질들이 식각될 물질의 표면에 공급되어 그곳에서 반응 물질과 표면 원자들 사이에 화학 반응이 일어나, 휘발성 기체를 생성시킴으로써 진행되는 식각을 의미한다. 이 경우는 습식 식각과 마찬가지로 등방성 식각이 일어나는데, 습식 식각과의 차이는 반응기가 진공상태에 있기 때문에 휘발성 생성물 표면에서의 이동, 즉 제거가 보다 용이하다는 점이다. 물리적 · 화학적 건식 식각은 전계를 통한 가속과 같은 물리적 방법에 의해 이온이나 전자, 혹은 광자들이 식각될 물질 표면에 충돌하여 표면 물질들을 먼저 활성화 (activate) 시키고, 이렇게 활성화 된 표면 물질들이 반응기 내에 존재하는 화학종들과 화학 반응을 일으켜 휘발성 기체를 생성시키면서 식각이 일어나는 것을 의미한다. 이 경우 이온 자체도 반응 물질이 될 수 있다. Fig. 3은 이러한 물리적 식각, 화학적 식각 및 물리적 · 화학적 건식 식각 공정을 나타내고 있는데, Fig. 3 (c)에 나타난 물리적 · 화학적 식각의 경우 물리적 식각과 화학적 식각이 번갈아 일어남으로써 결과적으로는 이방성 식각이 진행되는 공정임을 알 수 있다.

물리적 · 화학적 식각 기술 중 Si을 깊게 식각 (deep etching)하는데 이용되는 최신 기술로 DRIE (Deep Reactive Ion Etching) 중 하나인 Bosch 공정을 들 수 있다[8]. 이 공정은 고밀도 플라즈마인 ICP (Induced Coupled Plasma)를 이용하여 건식 식각하는 공정과 표면에 폴리머 층을 증착시키는 공정 (polymerization)을 번갈아 실시함으로써 측면으로의 식각을 최대한 지연하게 된다. 따라서 다른 식각 방법에 비해 훨씬 큰 비등방성 식각이 가능하게 되고, 결과적으로 깊은 홀의 생성에 상당히 유리하다는 장점을 가지게 된다.

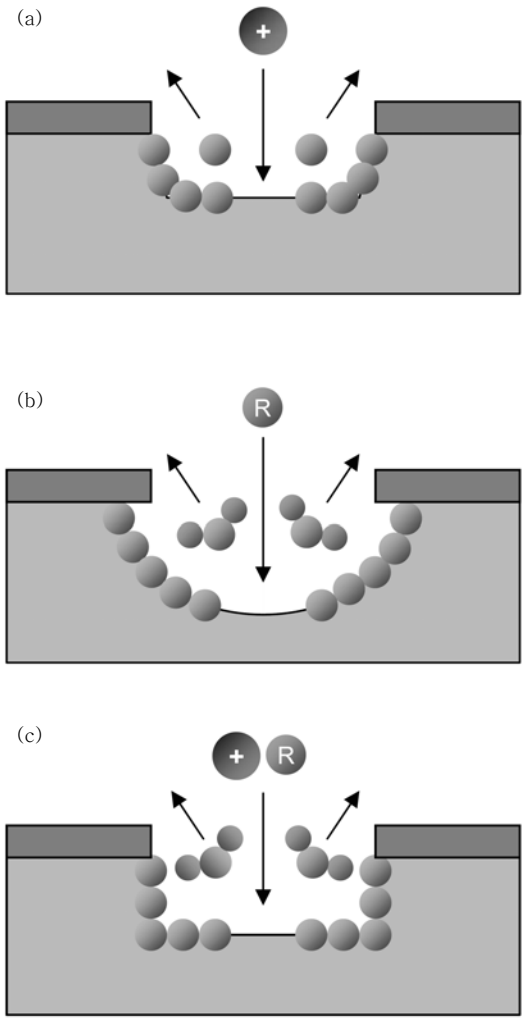

Fig. 3 Physical and chemical dry etching process; (a) Physical, (b) Chemical, (c) Physical · Chemical etching process

본 연구에서는 지금까지 살펴본 습식 및 건식 식각 방법 중, 습식으로써는 KOH를 이용한 비등방성 식각을 채용하고 건식으로써는 Bosch 공정을 채용하여 각각 전자 패키징 분야에서 응용할 수 있는 방법을 소개하고자 한다.

3. 비등방성 Si 식각을 통한 Si carrier 제작

KOH 수용액을 이용한 Si의 비등방성 식각 공정은 이미 앞에서 소개한 바와 같다. 여기서는 이러한 비등

방성 식각 공정을 통해 미세피치용 플립칩 (flip chip) 솔더범핑 carrier 제작 공정을 소개하고자 한다. 플립칩은 전자 패키지의 미세피치화 및 다핀화 경향에 부응하기 위하여 개발된 1차 패키징 기술의 하나로, 칩의 표면에 금속 재질의 범프를 형성하여 뒤집어서 기판에 접속하는 방법을 말한다. 이렇게 함으로써 기존의 Au 또는 Al 와이어를 이용한 와이어 본딩 (wire bonding) 방법에 비해 보다 많은 수의 I/O를 형성시킬 수 있다는 장점과 패키지의 크기를 보다 줄일 수 있다는 장점 외에 접속 길이의 감소에 따른 전기적 성능의 향상마저 기대할 수 있게 되었다.

이러한 플립칩을 제작하기 위한 금속 범프 재료로는 현재까지 솔더가 가장 널리 사용되고 있다. Si 칩에 솔더를 범핑하는 대표적인 방법으로는 솔더를 녹여 증기로 만든 후 증기를 이용하여 범핑하는 evaporation 법, 솔더를 전해 도금하여 범핑하는 전해 도금법, 그리고 솔더 페이스트를 이용하여 범핑하는 스텐실 프린팅 (stencil printing) 방법 등을 들 수 있다. 이 중 솔더 페이스트를 이용하여 범핑하는 스텐실 프린팅 방법이 가장 경제적인 방법으로 알려져 패키징 업체들에 의해 널리 채용되고 있다. 하지만 스텐실 프린팅 방법의 경우, 페이스트의 프린팅에 앞서 제작되어야 하는 미세피치의 스텐실 마스크를 제작하기 어렵다는 점과, 리플로우 시에 솔더 범프 간 브릿지 (bridge)가 발생하기 쉽다는 점 등의 단점을 가지고 있다. 뿐만 아니라 스텐실 마스크가 미세피치화 될수록, 즉 aperture의 크기가 작아질수록 솔더 페이스트의 빠짐성이 나빠진다는 단점 때문에 미세피치용 플립칩 솔더 범핑용으로 스텐실 프린팅 방법을 적용하는 것은 한계를 가진다. 따라서 본 연구에서는 (100) Si 웨이퍼를 KOH 수용액을 이용해 이방성 식각한 후, 식각된 웨이퍼를 미세피치 솔더 범핑용 carrier로 사용하는 기술에 대해 소개하고자 한다[9].

Fig. 4는 본 연구에서 소개하고자 하는 솔더 범핑 기술의 간략한 공정도이다. 그림에서 알 수 있듯이 솔더 페이스트를 스크린 프린팅 한 후 솔더 볼 형태로 형성시키는 데 이용 가능한 것이 습식 식각된 Si carrier이다. 그림과 같은 Si carrier를 제작하기 위하여 본 연구에서는 표면이 (100) 면으로 연마된 Si 웨이퍼를 이용하여 KOH 수용액으로 습식 식각 하였고, 이를 통해 솔더 페이스트가 채워질 수 있는 일종의 홈을 웨이퍼 전면에 형성시킬 수 있었다.

Fig. 5는 표면이 (100)면으로 연마된 Si 웨이퍼를 이방성 식각할 경우 이론적 식각 방향과 실제 KOH 수용액을 통해 식각한 결과 사진을 나타낸다. 그림을 통해 (100)면과 (111)면이 이루는 각도는 54.7°를 이루고 이를 실험적으로 이방성 식각할 경우 계산된 그대로 식각되는 것을 알 수 있다. 이와 같이 Si 웨이퍼의 식각이 결정 방향에 의존하는 이유는 결정면에서의 원자 충진율 (atomic lattice packing density)에 기인하는 바가 가장 크다. Si의 결정면 지수 중 원자 충진율은 (111) 면에서 가장 높고 다음으로 이와 약 54.7°를 이루는 (100) 면, 90° 기울기를 가지는 (110) 면의 순서로 조밀도가 감소한다. 이 때 가장 원자 충진율이 높은 (111) 면으로는 Si의 식각에 기여하는 OH^- 이온의 확산 침투가 어려워 식각율이 가장 떨어지는 것이다.

Fig. 6은 30%의 KOH 수용액에서 시간에 따른 Si 웨이퍼의 식각 정도를 관찰한 SEM 사진이다. 그림에서 알 수 있듯이 모든 조건에서 Fig. 5에 나타낸 (100)면과 (111) 면이 54.7°를 이루는 것을 확인할 수 있으며, 시간이 지남에 따라 식각 되는 깊이가 증가하는 것을 알 수 있다. 식각율은 일반적으로 수용액의

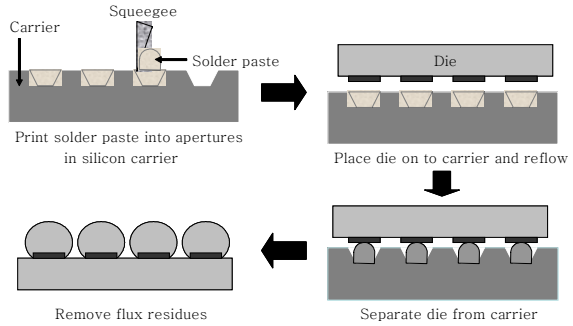

Fig. 4 Solder bumping process with Si carrier which was wet etched with KOH solution

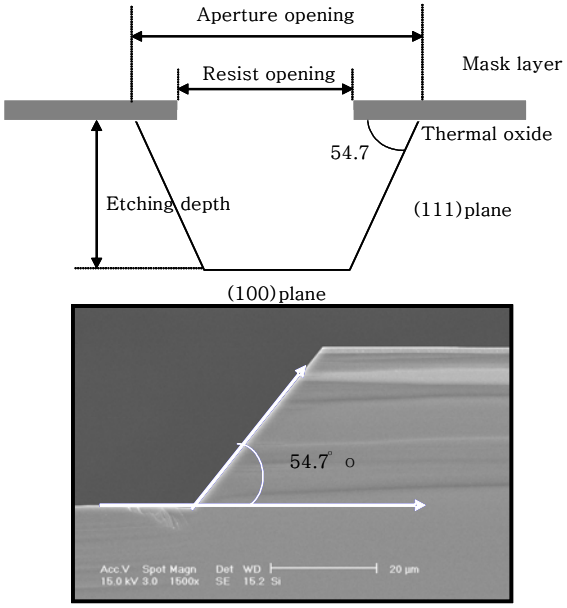

Fig. 5 Anisotropic etching property of Si

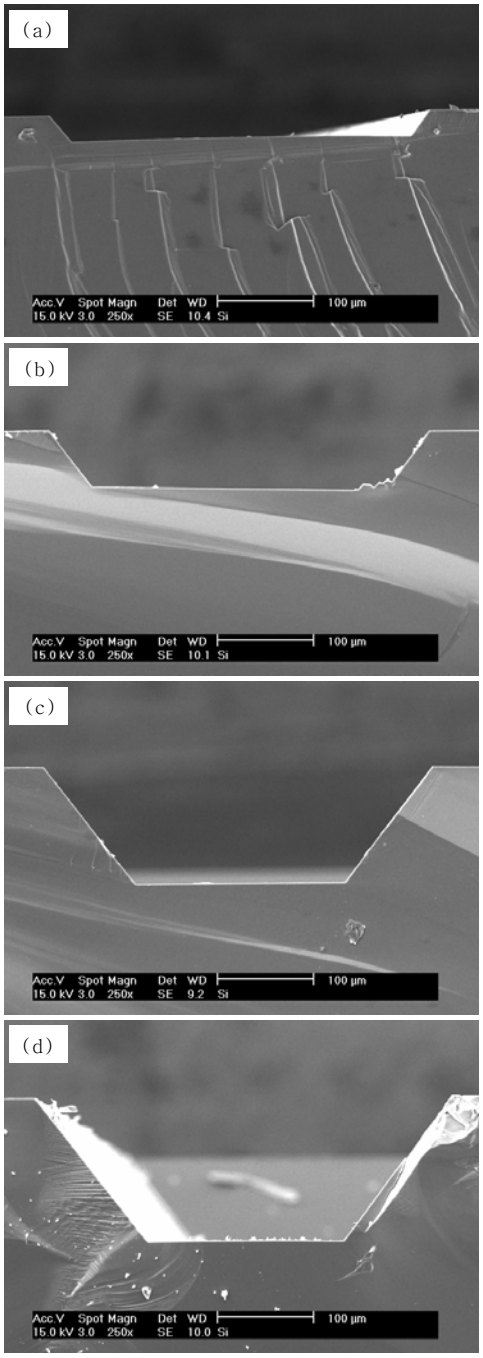

Fig. 6 SEM images of wet etched Si in 30% KOH solution with different etching time; (a) 20 min, (b) 40 min, (c) 60 min, (d) 80 min

온도에 비례하고 수용액의 농도와도 일정한 관계를 가지는 것으로 보고되고 있으므로, 솔더 페이스트에서의 솔더 및 플럭스 함량을 고려하여 적절한 양의 페이스트를 채울 수 있는 깊이만큼 식각하는 것이 중요하다. 본 연구에서는 이를 고려하여 150 ㎛ 크기로 SiO_2 마스크를 오프닝 시키고 100 ㎛ 깊이로 Si을 식각하여 페이스트를 채운 후 리플로우 하여 원하는 크기의 솔더 범프를 형성시킬 수 있었다.

Fig. 7은 Si carrier내에 홈을 형성시키고 솔더 페이스트의 프린팅을 거쳐 리플로우 후, 형성된 솔더 범프의 플립칩으로의 전이 전 후의 과정을 나타내고 있다. Fig. 7 (a)에 나타나 있듯이 Si carrier의 홈에 채워진 솔더 페이스트를 리플로우 할 경우 용융된 솔더의 표면 장력에 의해 볼 형태로 변화하게 되며, carrier의 홈 내벽에는 어떠한 금속물질도 형성되어 있지 않으므로 벽에 젖지도 않는다. 따라서 솔더볼은 carrier의 홈에 담겨 있기만 한 상태이며, 이 상태에서 플립칩의 표면에 정렬하여 솔더볼을 전이시킨 후 리플로우 하면 Fig. 7 (c)와 같이 솔더가 범핑된 플립칩 패키지의 형상을 얻을 수 있게 된다.

이와 같이 습식 식각법으로 Si 웨이퍼를 식각한 후 솔더 범핑용 carrier를 제작하게 되면, 솔더 페이스트가 스텐실 마스크로부터 빠지지 않을 염려가 없기 때문에 훨씬 미세피치의 솔더 범핑이 가능하게 된다. 또한 플립칩 패키지와 같은 웨이퍼 레벨 패키지의 제작 시 패키징 될 웨이퍼와 동일한 크기의 웨이퍼를 이용하여 carrier를 제작할 수 있으므로 제작의 효율성도 극대화 시킬 수 있다는 장점을 갖는다.

4. DRIE 건식 식각법을 이용한 3D 패키지 제작

Si의 건식 식각의 특징 및 원리에 대해서는 이미 앞에서 언급한 바와 같다. 언급된 바와 같이 건식 식각 중에서 물리적 · 화학적 식각이 동시에 진행되는 식각법을 이용할 경우 기존의 습식 식각법을 이용한 경우보다 훨씬 깊은 깊이의 홀을 가공할 수 있게 된다. 이를 이용하여 Si 웨이퍼를 관통하여 관통부에 전극을 형성시

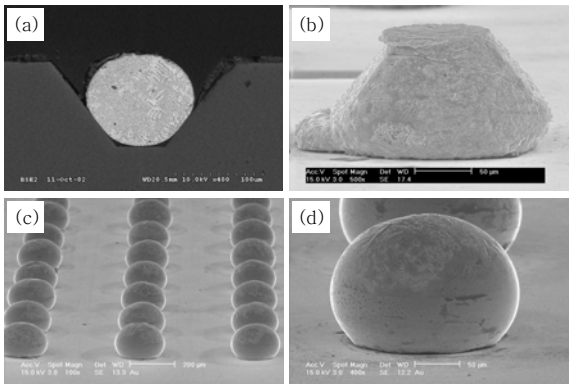

Fig. 7 Procedure for solder bump transformation; (a)-(b) solder bumps formed in Si carrier, (c)-(d) transformed solder bumps on flip chip

킬 경우, Si 웨이퍼의 전면과 후면을 전기적으로 접속할 수 있게 되므로 이른바 3D 패키지의 기초를 확립할 수 있게 된다. 즉, Si 칩을 적층하여 3D 패키지를 형성시킬 때 서로 다른 층에 있는 칩을 관통홀을 통하여 전기적으로 접속시킴으로써 접속에 필요한 물리적 공간을 최소화시킬 수 있게 되고 접속 길이 또한 최소화 시킬 수 있게 되는 것이다.

현재까지 소개된 대부분의 패키징 기술은 단층의 칩 또는 패키지를 기판에 접속하는데 이용되는 기술로 한정된다. 따라서 전자 패키지 자체가 전자 시스템의 다기능화 및 소형화 경향에 일종의 보틀넥 (bottleneck)으로 작용할 수도 있었던 것이다. 이를 보완하기 위하여 여러 가지 새로운 기술들이 소개되고 있는데, 여러 개의 칩과 각종 수동소자들을 하나의 패키지로 구현하여 단일 패키지로 완전한 기능을 수행할 수 있도록 하는 SiP (System in Package) 및 하나의 칩 솔루션으로 완전한 기능을 수행할 수 있도록 하는 SoC (System on Chip)가 그 대표적인 기술이라 할 수 있다. 이 중 SiP는 단일 패키지에 여러 기능의 칩을 동시에 내장하게 되므로 여러 개의 칩을 어떻게 좁은 면적 안에 실장 시키는가가 가장 중요한 팩터가 된다. 이를 구현하기 위하여 개발된 솔루션의 하나가 칩의 적층 기술이다.

기존의 칩 적층은 칩끼리의 접합은 에폭시 수지 등으로 이루고 전기적 접속은 기존의 본딩법을 이용하여 구현하여 왔는데 이렇게 할 경우 여러 칩으로부터 접속되는 많은 와이어 때문에 쇼트 (short)가 일어날 확률이 커지고 또한 와이어 본딩부가 차지하는 부피 때문에 패키지의 크기 또한 커질 수밖에 없게 된다. 이를 해결하기 위하여 개발된 기술이 Si 웨이퍼에 홀을 가공하여 홀 안에 전극을 형성시킴으로써 전기적 접속을 이루어 내는 3D 패키징 기술이다[10-12]. Fig. 8은 이러한 기술 공정에 대한 간략한 개략도를 나타내고 있다.

이러한 기술은 이미 PCB 기판에 via를 형성시켜 3차원 전기적 접속을 이루게 하는데 적용된 적이 있지만, Si은 PCB 기판과 달리 홀을 가공하기가 상당히 어렵기 때문에 바로 적용되지 못하였다. 하지만 최근 개발된 여러 건식 Si 식각법은 굉장히 향상된 식각 효율과 특유의 이방성으로 인해 홀을 가공하는데 어려움이 없을 정도로 발전되었다. 그러한 건식 식각법들 중 대표적인 것으로써 Bosch 공정이라 불리는 식각법이 널리 사용되고 있다. 본 연구에서도 Bosch 공정을 이용해 Si 웨이퍼에 홀을 가공하고자 하였고, 결과적으로 홀 가공에 성공할 수 있었다.

Fig. 9는 Fig. 8의 3번 공정까지 행한 후 SEM으로 관찰한 사진이다. 사진에서 알 수 있듯이 Si 웨이퍼의 표면에 패턴 형태로 도포되어 있던 감광성 물질이 식각 시 마스크로 작용하여 감광 물질이 도포되지 않은 부분

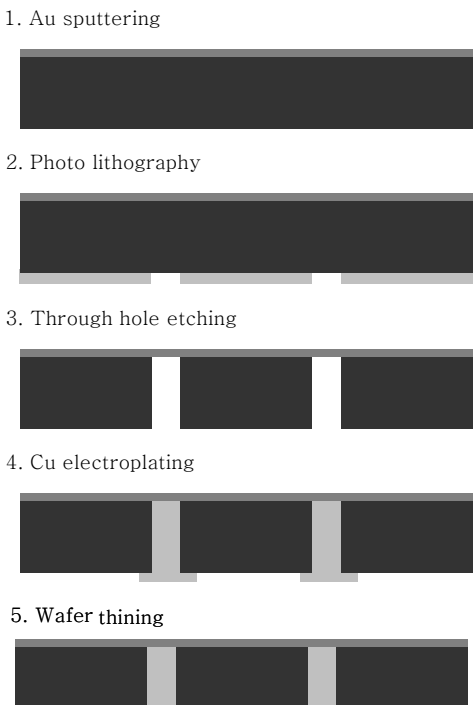

Fig. 8 Through hole formation and Cu electroplating process for 3D packaging

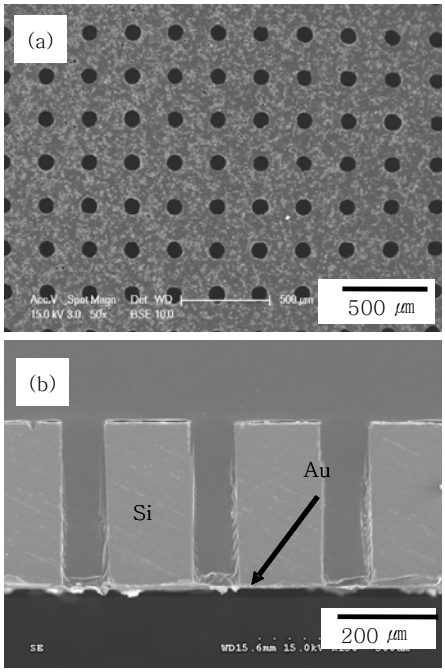

Fig. 9 SEM view of Si wafer after through-hole formation; (a) top view, (b) cross-sectional view

만 식각되어 있다. 관통 된 깊이는 약 300 ㎛나 됨에도 불구하고 깊이방향으로만 식각이 잘 이루어진 것을 알 수 있다. 이는 Bosch 공정 자체가 식각과 폴리머 물질 도포를 번갈아가며 실시하기 때문인데, 도포된 폴리머 물질이 측면으로의 식각을 막아주기 때문에 이러한 이방성이 구현될 수 있는 것이다. Fig. 9와 같이 식각된 홀에 도전성 물질을 도포하여 전극을 형성 시키면 Si 칩을 전면과 후면을 전기적으로 접속시키게 되므로 Si 칩 적층의 기초가 마련된다.

Fig. 10은 0.5 A/dm^{2}와 1.5 A/dm^{2}의 전류밀도로 16시간 동안 Cu를 도금한 후 그 단면을 SEM으로 관찰한 결과이다. 그림에서 알 수 있듯이 전류밀도를 0.5 A/dm^{2}으로 하여 도금하였을 때는 홀이 거의 채워지지 않은 것을 알 수 있지만 1.5 A/dm^{2}으로 하였을 때는 거의 결함 없이 도금이 이루어진 것을 알 수 있다. 일반적으로 Si 웨이퍼의 홀에 도금할 경우, 공급되는 이온의 확산이 도금층의 성장보다 느릴 경우 보이드가 많이 발생한다고 알려져 있는데, 이를 방지하는 것이 대단히 중요하다. 따라서 본 연구에서와 같은 전류밀도의 최적화가 도금 시 무엇보다 중요하다고 할 수 있다. 이후 공정에서는 웨이퍼 전 후면에 기존의 플립칩 범핑 공정을 사용하여 범프를 형성하게 되고, 다시 플립칩 접합법을 도입하여 칩 끼리의 접합을 완료하여 칩의 적층을 완성하게 된다.

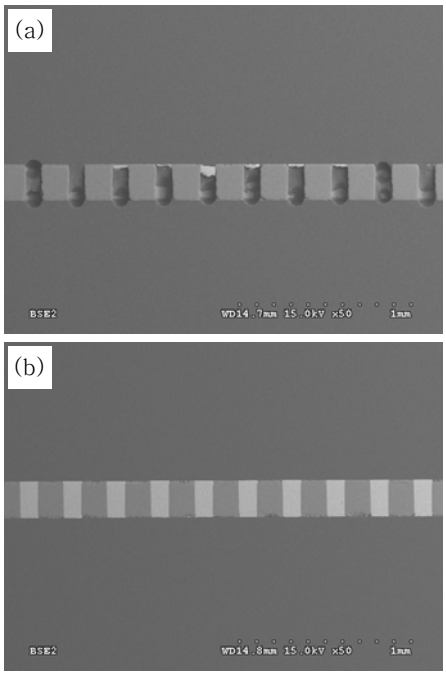

Fig. 10 Cross-sectional SEM views of Cu electroplated through-holes with various current densities; (a) 0.5 A/dm^2 and (b) 1.5 A/dm^2

지금까지 3D 패키징 구현에 필요한 요소기술을 건식 Si 식각법을 이용하여 개발한 예를 나타내었다. 이와 같이 MEMS 기술을 패키징에 적절히 적용할 경우 기존의 패키징 기술로 구현하기 어려웠던 여러 새로운 패키징 구조를 재현할 수 있으므로 보다 획기적인 형태의 패키징 구조 개발도 달성될 수 있을 것으로 판단된다.

4. 결 론

본 고에서는 최신 MEMS 기술 중 여러 가지 Si 식각 방법에 대하여 소개하고, 이들을 전자 패키징에 적용하는 두 가지 사례를 제시하였다. 이미 앞에서도 언급하였다시피 이미 반도체 기술과 패키징 기술의 경계는 상당히 무너지고 있고, 따라서 서로간의 기술 지원이 상시적으로 이루어지고 있다. 전자 패키징 분야에서는 그러한 반도체 기술 중 Si 식각 기술을 도입하여 새로운 성능 혹은 기술의 구현을 달성할 수 있는 여러 가지 가능성을 발견하였고, 본 고에서는 그 중 습식 Si 식각법을 이용한 Si carrier 제작과 건식 Si 식각법을 이용한 3D 패키지 구현에 대해 소개하였다. 소개된 바와 같이 MEMS 기술과 기존의 패키징 기술이 잘 융합될 경우 상당한 시너지 (synergy) 효과를 발휘하여 단일 기술로는 해결하기 힘든 여러 난관을 극복하는 데 효과적일 것으로 판단된다.

후 기

본 연구는 과학기술부 기초과학연구사업(R01-2004-000-10572-0)의 연구비 지원에 의하여 수행되었으며, 연구비 지원에 감사드립니다.

참 고 문 헌

1. M. Datta, T. Osaka, J.W. Schultze : Microelectronic Packaging, CRC Press, 2005, 1-28, 167-200
2. J.H. Lau : Low Cost Flip Chip Technologies, McGraw-Hill, 2001, 1-17, 27-90
3. J.W. Kim, D.G. Kim, W.S. Hong, S.B. Jung : Evaluation of Solder Joint Reliability in Flip Chip Packages during Accelerated Testing, Journal of Electronic Materials, 34, (2005), 1550-1557
4. R. Nayve, M. Fujii, A. Fukugawa, T. Takeuchi, M. Murata, Y. Yamada, M. Koyanagi : High-Resolution Long-Array Thermal Ink Jet Printhead Fabricated by Anisotropic Wet Etching and Deep Si RIE, Journal of Microelectromechanical Systems, 13, (2004), 814-821
5. H. Tanaka, D. Cheng, M. Shikida, K. Sato :

Characterization of anisotropic wet etching properties of single crystal silicon: Effects of ppb-level of Cu and Pb in KOH solution, Sensors and Actuators A:Physical, 128, (2006), 125-131
6. O. Geschke, H. Klank, P. Tellemann : Microsystem Engineering of Lab-on-a-Chip Devices, WILEY-VCH, 2004, 117-160
7. Kyu-Ha Lee, Eun-Ju Oh, Sung-Pyo Hong, Chang-Chae Shur : Si carrier fabrication using Si anisotropic property and the application of fine pitch for flip chip solder bump, Journal of the Korean Institute of Metals and Materials, 44, (2006), 129-135 (in Korean)
8. F. Laermer, A. Urban : Milestones in deep reactive ion etching, Proc. 13th International Conference on Solid-State Sensors, Actuators and Microsystems, (2005), 1118-1121
9. N. Koshoubu, S. Ishizawa, H. Tsunetsugu, H. Takahara : Advanced flip chip bonding techniques using transferred microsolder bumps, IEEE Transactions on Components and Packaging Technologies, 23, (2000), 399-404
10. Y.K. Tsui, S.W. Ricky Lee : Design and fabrication of a flip-chip-on-chip 3-D packaging structure with a through-silicon via for underfill dispensing, IEEE Transactions on Advanced Packaging, 28, (2005), 413-420
11. K. Hara, Y. Kurashima, N. Hashimoto, K. Matsui, Y. Matsuo, I. Miyazawa, T. Kobayashi, Y. Yokoyama, M. Fukazawa : Optimization for chip stack in 3-D packaging, IEEE Transactions on Advanced Packaging, 28, (2005), 367-376
12. B. Morgan, X. Hua, T. Iguchi, T. Tomioka, G.S. Oehrlein, R. Ghodssi : Substrate interconnect technologies for 3-D MEMS packaging, Micro-electronic Engineering, 81, (2005), 106-116

• 김종웅(金鍾雄)
• 1978년생
• 성균관대학교 신소재공학과
• 전자 패키징, RF 패키징
• e-mail : wyjd@skku.edu

• 김대곤(金大坤)
• 1975년생
• 성균관대학교 신소재공학과
• 전자 패키징, RF 패키징
• e-mail : bbangs35@skku.edu

• 문원철(文元鐵)
• 1967년생
• 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
• 나노 패키징, 실리콘 MEMS
• e-mail : wcmoon@skku.edu

• 문정훈(文貞勳)
• 1956년생
• 수원과학대학 일렉트로닉스패키징과
• 전자 패키징, 초음파 접합
• e-mail : jhmoon@ssc.ac.kr

• 서창제(徐昌濟)
• 1950년생
• 성균관대학교 신소재공학과
• 정밀용접, 마찰교반접합
• e-mail : tromance@hanmail.net

• 정승부(鄭承富)
• 1959년생
• 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
• 전자 패키징, 전자모듈 신뢰성, 마찰교반접합
• e-mail : sbjung@skku.ac.kr