특 집 : 고밀도 전자 패키징

Via를 이용한 3차원 패키징 기술

홍성준 · 김규석 · 노만 조우 · 정재필

3 Dimensional Packaging Technology Using Via

Sung-Jun Hong, Kyoo-Seok Kim, Norman Zhou and Jae-Pil Jung

1. 개 요

전자, 정보 통신 산업이 발달해 가면서 패키징 기술도 고집적화, 미세 피치화 뿐만 아니라 고성능, 고효율을 요구하고 있다. 이에 따라 1개의 칩을 기판(substrate) 위에 놓고 접합하는 기존의 2차원 패키징 기술로는 이러한 시대의 흐름을 따라가는 데에 한계를 느끼게 되었다. 기존 패키징 기술의 한계를 극복하기 위해서 시도되고 있는 방법에 3차원 적층 패키징 기술이 있다. 3차원 패키징 기술은 기판 위에 칩을 2개 또는 그 이상을 올려놓고 적층 시키는 방법을 말한다. 3차원 패키징 기술을 사용할 경우 제품의 크기, 무게, 전력의 소비를 크게 줄일 수 있을 뿐만 아니라, 빠른 신호를 전달이 가능함으로써 제품의 성능을 향상 시킬 수 있다.

3차원 패키징 기술에서 지금까지 연구 되어진 적층된 칩 간을 연결하는 인터커넥션 방법으로는 와이어 본딩을 이용하여 칩과 칩을 연결하는 방법, 기판이나 리드에 TAB(Tape Automated Bonding)를 사용하는 방법, 칩에 via를 형성하는 방법, 측면 솔더 전도체를 이용하는 방법, flexible 기판을 이용하는 방법 등 여러 가지 방법들이 연구되었다. 이러한 방법들 중에서 연구 목적과 활용 분야에 따라서 적절한 방법을 선택할 수 있다.

본 연구에서는 3차원 패키징 기술을 실리콘 웨이퍼에 적용하기 위해서 최근에 가증 주목 받고 있는 실리콘 웨이퍼에 비아를 형성하고 적층시키는 방법에 대한 전반적인 내용을 기술하고, 그 중에서 핵심이 되는 관통홀을 형성하는 방법, 관통 홀에 금속을 충전시키는 방법, 웨이퍼와 웨이퍼를 적층시키는 방법에 대해서 기술해 보고자 한다.

2. Via를 이용한 3차원 패키징

비아를 이용한 3차원 패키징 방법은 z-축 방향으로 칩

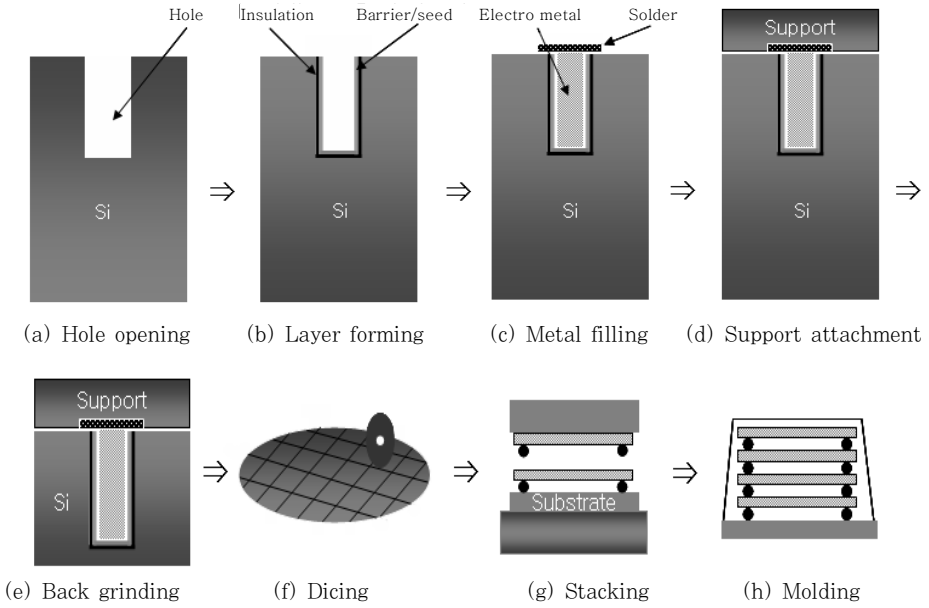


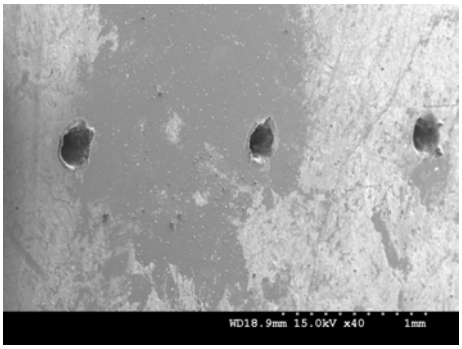
Fig. 1 3-D packaging process flow chart

또는 웨이퍼를 적층하는 방식으로써 최소한의 접합길이를 가지게 되기 때문에 전기적인 신호를 빠르게 전달할 수 있다. 뿐만 아니라, 전력 소비를 줄일 수 있고 열적인 문제도 최소화 할 수 있으며, 제품의 크기나 무게를 크게 줄일 수 있는 장점을 가지고 있다. 비아를 이용한 3차원 패키징의 전반적인 순서는 Fig. 1에 나와 있는 것처럼 실리콘 웨이퍼에 관통 홀을 형성하고 그 안에 전기적 신호가 가능한 금속을 충전시킨 다음 웨이퍼와 웨이퍼 또는 웨이퍼와 기판을 적층시키는 순서로 진행한다.

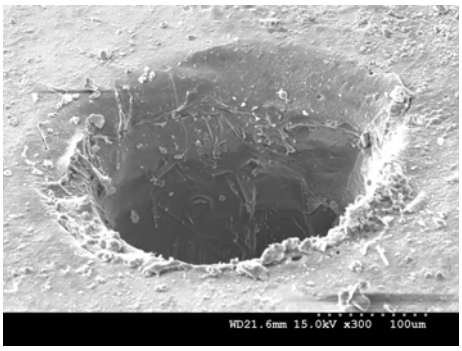
2.1 관통 홀 형성

전기적 신호를 전달할 수 있는 비아를 형성하기 위해서 관통 홀를 먼저 형성해야 한다. 관통 홀을 형성하는 방법으로는 일반적으로 레이저를 이용하거나 DRIE (Deep-Reactive Ion Etching)를 이용한다. 레이저를 이용한 방법은 실리콘 웨이퍼 표면에 레이저를 직접 조사시켜서 홀을 만드는 방법이다. 레이저를 이용해서 관통 홀을 형성할 경우 빠른 시간 내에 요구하는 크기의 홀을 형성할 수 있으나, 홀의 입구와 내부 표면이 거칠고 요철이 발생되기도 한다 (Fig. 2 참조)[1].

DRIE을 이용해서 관통 홀을 형성하는 방법도 있다

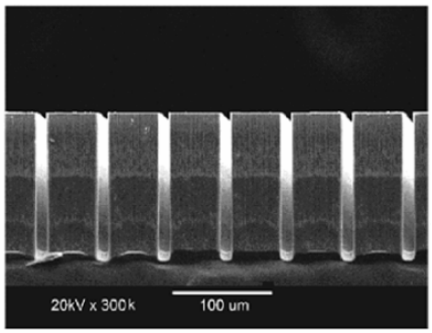


(a)

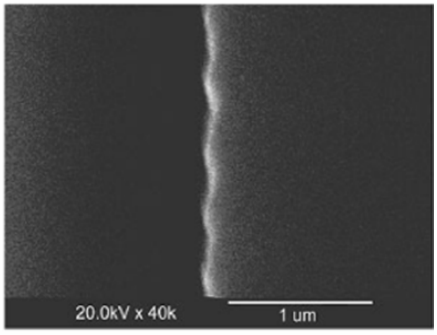


(b)

Fig. 2 SEM images of Si-wafer through-hole using laser



(a)



(b)

Fig. 3 Morphology of a silicon mold made by DRIE (a) Cross-sectional SEM image of silicon trenches (b) SEM image of side-wall surface roughness

(Fig. 3 참조). 이 방법은 실리콘 웨이퍼에 높은 종횡비(high-aspect ratio)를 갖는 홀을 뚫을 수 있다. 그리고 화학적 에칭 방법이 등방성 방향으로 웨이퍼를 식각하는 것과는 달리, 이방성 방향으로 식각할 수 있다는 장점을 가지고 있다. 또한 미세한 직경을 갖는 홀을 형성할 수 있다. 에칭 속도는 실리콘 웨이퍼의 결정 방향에 의해서 결정된다[2].

2.2 관통 홀 충전

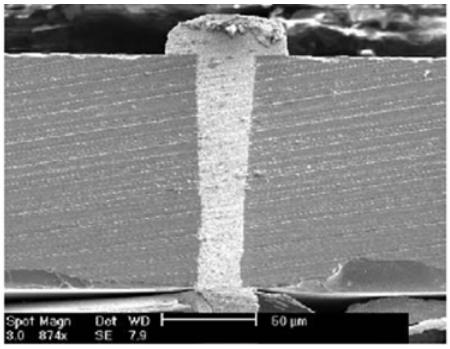
관통 홀이 형성된 실리콘 웨이퍼에 전도성 금속 물질을 채우기 전에 절연층과 확산 방지층, 시드 층을 형성하는 과정이 먼저 이루어져야 한다. 일반적으로 절연층은 화학 기상 증착 (CVD, Chemical Vapor Deposition) 방법을 이용해서 홀의 벽에 SiO_2층을 형성 한다. 그리고 절연층 위에 충전시킨 금속의 확산을 막는 확산 방지층을 형성한다. 확산 방지층은 주로 TiN을 사용해서 형성한다. 확산 방지층을 형성한 다음, 전도성 금속의 시드(seed) 역할을 할 수 있는 시드 층을 형성해야 한다. 위의 과정과 같이 관통 홀에 전도성 금속 물질을 충전하기 위한 사전 과정을 마치게 되면 전기도금, MMSM(Molten Metal Suction Method), 페이스트

인쇄 방법 등을 이용해서 관통 홀에 금속 물질을 충전하게 된다.

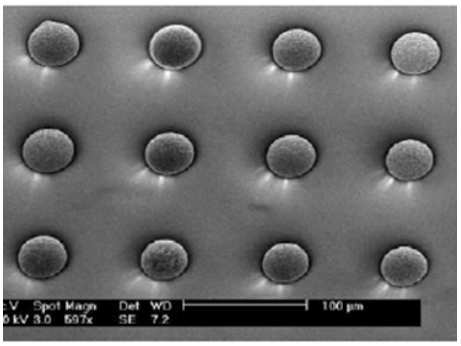
전기도금을 이용해서 관통 홀에 Cu를 충전시켜서 전도성 금속을 형성하는 방법을 일반적으로 전기도금방법이라고 한다(Fig. 4 참조). 전기도금 법에서 가장 중요한 점은 Cu층 내에 기공이 발생 되지 않게 도금을 형성하는 것이다. 이를 위해서 Cu가 전기도금에 의해서 관통 홀 내에 형성될 때 홀의 바닥에서부터 위로 도금이 형성되도록 조절하는 것이 중요하다[3].

MMSM은 관통 홀과 주위 환경과의 압력차를 이용해서 관통 홀 내부에 전도성 금속을 충전 시키는 방법이다. Fig. 5는 MMSM의 전반적인 개요를 나타낸 것이다. MMSM을 이용한 방법은 빠른 시간 내에 관통 홀 내부에 전도성 금속을 채워 넣을 뿐만 아니라 적은 비용으로 관통 홀을 충전할 수 있다는 장점을 가지고 있다. 그러나 용융된 금속의 녹는점이 400℃ 이하여야 하기 때문에 금속을 결정하는 데에 제한이 따른다. 때문에 일반적으로 MMSM으로 금속을 충전 시킬 때에는 In, Sn, Au-Sn 솔더를 사용한다.[4,5].

페이스트 인쇄 방법은 금속과 화학 물질이 혼합된 페이스트 상태의 물질을 프린팅 방식을 이용해서 관통 홀 내부에 전도성 금속 물질을 충전 시키는 방법이다(Fig. 6 참조). 페이스트 인쇄 방법은 빠른 시간에 금속 물질을 충전시킬 수 있다는 장점을 가지고 있으나, 금속이 충전된 내부에 기공이 존재하거나 관통 홀 내부에 균일하게 페이스트가 충전되지 않을 수 가능성을 가지고 있다[6,7].



(a)



(b)

Fig. 4 SEM images of copper electroplating

2.3 실리콘 웨이퍼의 적층

실리콘 웨이퍼에 충전된 비아를 형성시킨 후, 이들 웨이퍼들을 적층하기 전에 비아 위에 범프를 형성한다. 범프는 전기 도금 방법을 사용해서 형성하는 것이 일반

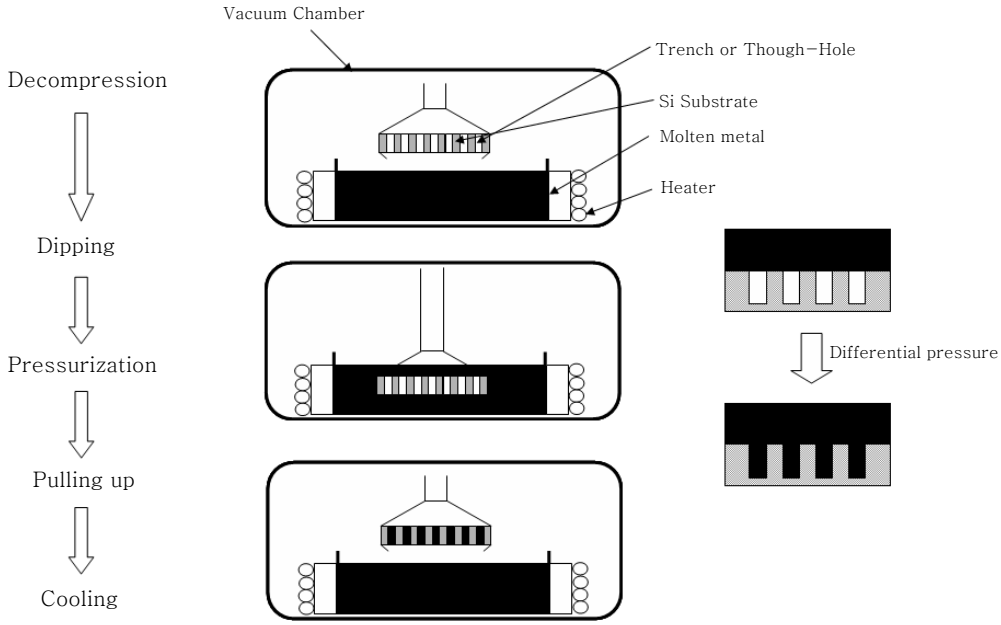


Fig. 5 Schematic procedure of the MMSM

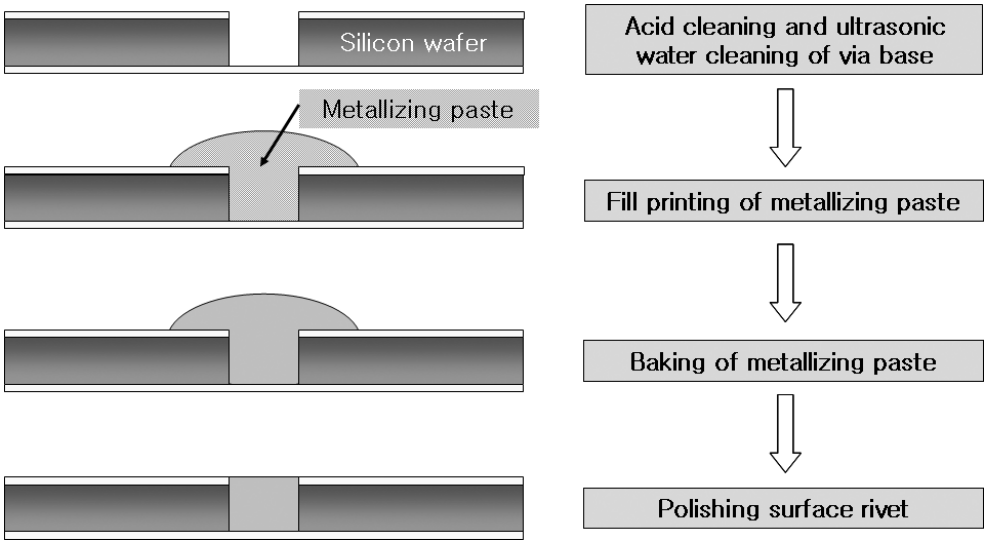


Fig. 6 Schematic procedure of paste printing method

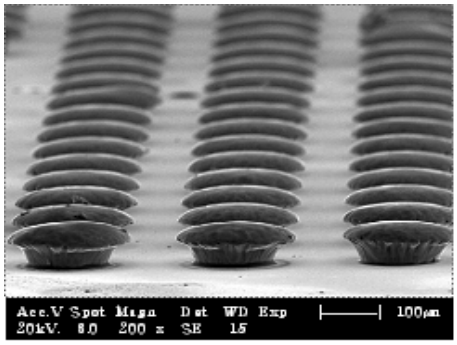
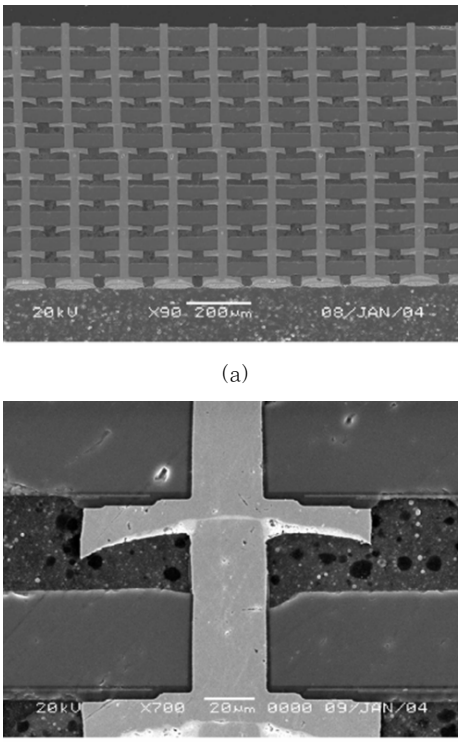


Fig. 7 Solder bumps formed on a Si-wafer by electroplating

적인데, Fig. 7은 실리콘 웨이퍼 위에 도금 법으로 범프를 형성한 예이다[8].

비아가 형성된 실리콘 웨이퍼는 매우 얇고, 낮은 경도 값을 갖기 때문에 물리적인 충격이나 압력에 의해서 깨지기 쉽다. 이러한 이유로 웨이퍼와 웨이퍼 또는 웨이퍼와 기판을 적층 시키는 방법을 선택할 때에는 웨이퍼에 최소한의 충격과 압력을 가하는 적층 방법을 선택해야 한다. 또한 실리콘 웨이퍼에 형성된 비아와 비아 사이를 제대로 정렬 시키는 것도 매우 중요한 요소 중의 하나이다. 비아와 비아 사이가 정확하게 정렬되지 않는다면 제대로 전기적 신호를 전달할 수 없을 뿐 아니라, 저항이 커지게 되기 때문에 열이 많이 발생하는 문제도 생기게 된다.

일반적으로 실리콘 웨이퍼를 적층 시킬 때에는 초음파접합을 이용해서 적층시키는 방법이 주로 사용되고 있다. 비아가 형성된 웨이퍼와 웨이퍼 사이를 일렬로 정렬시킨 다음, 비아 부위에 초음파를 가함으로써 웨이



(a)

(b)

Fig. 8 SEM images of stacking silicon wafer with vias

퍼를 적층 시키는 방법이다. Fig. 8은 초음파접합 방법을 이용해서 비아가 형성된 실리콘 웨이퍼의 단면을 보인 것이다[9].

3. 결 론

이상에서 비아를 이용한 3차원 패키징 기술의 핵심이

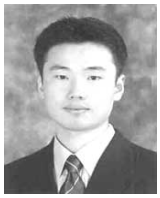
되는 관통 홀의 형성과 충전 그리고 실리콘 웨이퍼의 적층에 대해서 전반적인 내용을 기술해보았다. 전자제품과 반도체를 더욱 경박단소화, 고성능화하기 위해서 3차원 패키징 기술에서도 고집적화, 미세 피치화가 매우 중요한 기술로 떠오르고 있다. 이러한 이유로 3차원 패키징을 연구하고 있는 기업이나 연구기관에서도 서로 앞 다투어 더욱 미세하고 신뢰성이 높은 기술을 개발하기 위해서 치열한 경쟁을 하고 있다. 차세대 패키징 기술로 각광 받고 있는 3차원 패키징 산업에 더욱 더 다양하고 창조적인 기술들이 개발되기를 기대해 본다.

후 기

본 연구는 한국과학재단 특정기초연구(R01-2004-000-10572-0)지원으로 수행되었으며, 이에 감사드립니다.

참 고 문 헌

1. 홍성준, 이영우, 김규석, 이기주, 김정오, 박지호, 정재필, “3차원 실장을 위한 Si-wafer의 via hole 딥핑 충전”, 대한용접학회 춘계 학술대회, 2006년 5월
2. Gao J.X., Yeo L.P., Chan-Park M.B., Miao J.M., Yan Y.H., Sun J.B., Lam Y.C. and Yue C.Y.. "Antistick postpassivation of high-aspect ratio silicon molds fabricated by deep-reactive ion etching", Jounal of microelectromechanical systems, 15-1, 2006
3. NT Nguyen , KT Ng, E. Boellaard , NP Pham , G. Craciun, PM Sarro, and. JN Burghartz. "Through-Wafer Copper Electroplating for RF Silicon Technology", ESSDERC 2002
4. Yamamoto S., Itoi, K., Suemasu, T. and Takizawa, T, "Si through-hole interconnections filled with Au-Sn solder by molten metal suction method" , IEEE Transaction on 19-23 (2003), 642 - 645
5. Takizawa T., Yamamoto S., Itoi, K. and Suemasu, T., "Conductive interconnections through thick silicon substrates for 3D packaging", IEEE Transaction on 20-24 (2002), 388 - 391
6. Noda screen Co., Ltd, "Introduction to Yuutei(laser via) plug processing", Sep. 2002
7. Okuno A., Fujita N., "Filling the via hole of IC by VPES (Vacuum Printing Encapsulation Systems) for stacked chip (3D packaging)", IEEE Transaction on 28-31 (2002).1444-1448
8. Seok Won Jung, Jae Pil Jung, and Y(Norman) Zhou, "Characteristics of Sn-Cu Solder Bump Formed by Electroplating for Flip Chip", IEEE Transactions on Electronics Packaging Manufacturing, 29-1 (2006), 10-16
9. Hara K., Kurashima Y. Hashimoto N., Matsui K., Matsuo Y., Miyazawa I., Kobayashi T., Yokoyama Y. and Fukazawa M., "Optimization for Chip Stack in 3-D Packaging", IEEE Transaction on Volume 28, Issue 3, 2005, 367-376



• 홍성준
• 1979년생
• 서울시립대학교 신소재공학과
• e-mail:hongsj1979@uos.ac.kr

• 김규석
• 1979년생
• 서울시립대학교 신소재공학과
• e-mail:rbtjrdl@uos.ac.kr

• Norman Zhou
• Professor, University of Waterloo
• Canadian Research Chair in Micro-Joining
• e-mail :

• 정재필
• 1959년생
• 서울시립대학교 신소재공학과
• 마이크로 패키징, 솔더링
• e-mail:jpjung@uos.ac.kr