ISSN 2466-2232
Online ISSN 2466-2100

Biased HAST 시험에서의 인쇄회로기판 수명 예측

허 석 환*,†

*창원대학교 메카융합공학과

Lifetime Predictions of Printed Circuit Boards under Biased HAST

Seok-Hwan Huh*,†

*Dept. of Mechatronics Conversion Engineering, Changwon National Univ., Changwon, 51140, Korea

†Corresponding author : shhhuh12@gmail.com
(Received March 5, 2018 ; Revised March 29, 2018 ; Accepted April 2, 2018)

Abstract

By the trends of electronic package to be high performance and high integrative, build-up printed circuit boards (PCBs) are required to be highly integrated circuits and highly reliable circuits. PCBs are subjected to varying temperature and moisture exposures throughout whole their lives. This paper reports on the lifetime predictions of printed circuit boards under biased highly accelerated stress testing (HAST). In the failure analysis, it is found that porous Cu_xO colloids and Cu dendrites were formed at anode (+) trace and at cathode (-) trace, respectively. It is clear that the failure mechanism of the test legs is Cu corrosion, Cu ion-migration, and Cu metallization between a couple of test traces. The median lives of the test legs were calculated by the log-normal distribution. Based on the failure mechanism, the lifetime model for temperature and humidity stress is assumed to be a modified Peck model. We obtained the lifetime's equation using the time to failure of the biased HAST, the median lifetime in the user condition was calculated as 19,321 years and 95% confidence interval (42876.9, 8706.7).

Key Words : Biased HAST, Failure mechanism, PCB, Median lifetime

1. 서 론

스마트폰의 일상화로 더욱더 많은 처리속도를 위한 고집적화 요구가 인쇄회로기판에서의 미세 회로 및 박판화를 이끌고 있다. 이러한 고집적화 된 인쇄회로기판은 모바일 기기의 특성상 열악한 사용환경에서 다른 전자기기보다 더 높은 신뢰도를 요구하고 있다. 인쇄회로기판의 미세 배선화는 고온/고습 환경에서 불안정한 전기화학적 상황에 처하게 되고, 많은 신뢰성 문제를 야기하게 된다. 인쇄회로기판은 SMT 조립공정 및 사용환경에서 온도/습도에 의한 신뢰성 고장이 발생하고 있기 때문에 국제 규격 (JEDEC과 IPC)에 정의된 습기 민감도 (moisture sensitivity level)에 따라 관리되어야 한다[1-4]. 온도/습도 스트레스에 민감한 인쇄회로기판에서는 전압인가 HAST 시험이 널리 연구되고 사용되고 있다. 인쇄회로기판의 고온/고습 환경에서 발생하는 고장메커니즘으로는 금속 이온 마이그레이션 (metallic ion-migration)과 휘스커 (whisker)에 대한 고장이 다수 보고되고 있다[5-7]. Tanaka 등은 이온 마이그레이션에 의한 절연열화 현상을 연구하였으며, 형태나 상황에 따라 덴드라이트 (dendrite)와 CAF (conductive anodic filament)로 구분하였다[1].

엑폭시계 반도체 몰딩재료에서의 고온/고습 스트레스에 의한 Peck모델이 일반적으로 많이 사용되고 있으나[8-11], 인쇄회로기판에서의 적용된 사례는 거의 보고되지 않았다. 본 연구에서는 전압인가 HAST 시험을 통하여 얻어진 고장시간 데이터를 토대로 변형 Peck모델을 수립하고 중앙수명 (median life)를 계산하였다. 또한 전압인가 HAST시험에 의한 고장메커니즘도 관

찰, 해석하였다.

2. 실험 방법

시험에서 사용된 시편은 미세 회로를 갖는 6층 반도체용 인쇄회로기판으로 Fig. 1과 같은 (+)회로 와 (-)회로를 선정하였다. 선정된 시험 회로는 27 μm 피치 (pitch) 회로로 (+)회로와 (-)회로의 간격은 14 μm 로 서로 인접하고 서로 평형한 회로를 선정하였다. Fig. 1(b)와 같이 절연층은 SiO_2 필러가 함유된 엑폭시계 절연재료이며 (Ajinomoto, Japan), 솔더 리지스트는 $BaSO_4$와 SiO_2 필러를 함유한 엑폭시계와 아크릴계의 혼합 절연재료를 (Hitach chemical, Japan) 사용하였다. 인쇄회로기판의 표면처리로는 무전해 니켈과 무전해 금도금으로 표면 부식을 방지함과 동시에 솔더링성을 부과하였다. 준비된 시편의 고온고습 전압인가 HAST시험 (biased HAST)을 위하여 Fig. 2와 같은 조건으로 전처리를 (moisture sensitivity level 3) 진행하였다. Pre-conditioning 처리는 온도사이클 (-55~125℃) 5사이클, 베이킹 열처리 (125℃) 24시간 처리, 온습도시험 레벨3 (60℃/60%Rh) 45시간 처리후 리플로우 (피크온도 260℃) 3사이클 진행하였다. 전처리 (pre-conditioning)가 끝난 시편에 대하여, 전압인가를 위한 연결 단자를 와이어로 솔더링하여 연결하였고, 전압인가 HAST시험 (biased HAST)은 ESPEC (사) HAST 챔버 (EHS-412MD) 와 자동 측정 장치 (auto measurement ion-migration)를 사용하여 시험하였다.

전압인가 HAST시험 (biased HAST) 조건은 Table 1과 같이 110℃/85%Rh/3.5V를 기준으로 (Leg1) 온도 영향을 알기 위한 120℃ (Leg2)와 130℃ (Leg3) 온도 가속 조건을, 습도 영향을 알기 위한 90%Rh (Leg4) 와 95%Rh (Leg5) 습도 가속 조건을, 전압 영향을 알기 위한 7V (Leg6)와 10.5V (Leg7) 전압 가속 조건을 설정하여 시편이 전수 불량이 발생할 때까지 시험하

Table 1 Pre-conditioning and sample size for each DOE condition

Leg	Temperature (℃)	Humidity (%Rh)	Voltage (V)	Sample size	Pre-condition	Remark
1	110	85	3.5	15	Level 3	Reference
2	120	85	3.5	10	Level 3	Temperature
3	130	85	3.5	14	Level 3	Temperature
4	130	90	3.5	15	Level 3	Humidity
5	130	95	3.5	15	Level 3	Humidity
6	130	85	7	15	Level 3	Voltage
7	130	85	10.5	15	Level 3	Voltage

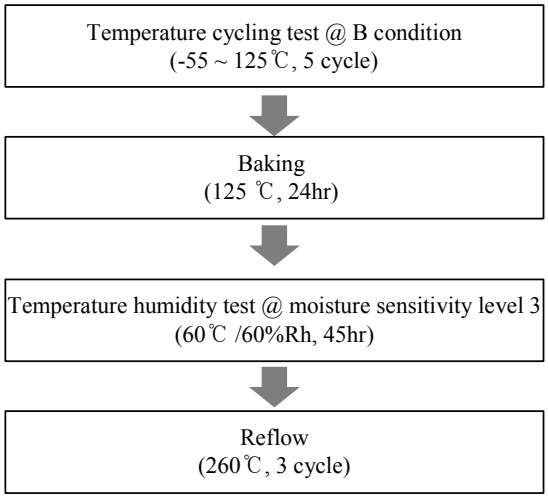
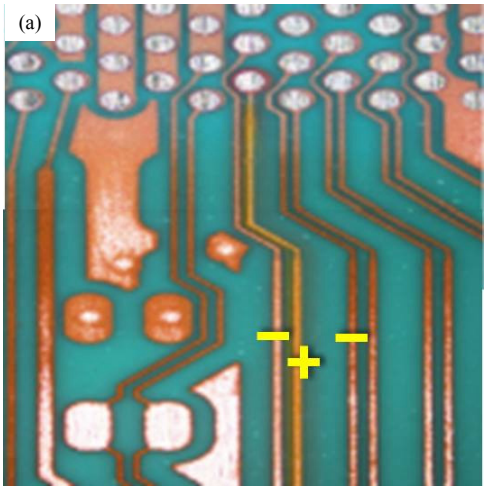


Fig. 2 Pre-conditioning sequence flow at moisture sensitivity level 3[4)]



(b)

Item	Solder resist	Dielectric layer	Trace
Base materials	Epoxy & acryl	Epoxy	Electroplating Cu
Filler materials	$BaSO_4$ & SiO_2	SiO_2	-
Thickness	21 ㎛	20㎛	15μm

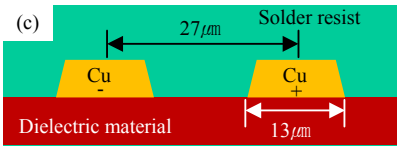


Fig. 1 Optical micrographic image (a), materials information (b) and dimension (c) of a couple of test nets

였다. 고장 판정은 누설전류 1×10^{-6} A 이상으로 하였다. 고장 분석을 위하여 가공 및 미세조직 관찰은 집속이온빔 가공관찰장치 (focused ion beam, Quanta200, Netherlands)와 단면가공 후, 주사전자 현미경 (field emission scanning electron microscope, Nova200, FEI, Netherlands)와 에너지 X선 분광기 (energy dispersive X-ray spectroscopy, Supra40VP, Germany)를 이용하여 분석하였다.

3. 실험 결과 및 고찰

Fig. 3은 전압인가 HAST시험 조건별 불량 샘플에 대한 평면 연마후 광학현미경 이미지를 나타내었다. 모든 HAST 시험 조건에서 (+)회로 주위로 노란 화살표와 같이 노란(주황) 점들의 번짐 현상을 관찰할 수 있고, 또 (-)회로에서는 (-)회로에서 (+)회로 쪽으로 성장하고 있는 노란 돌기 형상을 관찰할 수 있다. 각 Leg 별로 고장 시간 (Time to failure)과 고장 순간의 누설전류를 Fig. 3에 표시하였다.

Fig. 4는 Fig. 3(f)의 Leg6 고장 샘플의 이미지에서 x-x' 표시 부분의 FIB 가공 후의 단면 이미지와 EDS 분석을 나타내었다. Fig. 4(a)는 (+)회로와 (-)회로 그리고 솔더 리지스트에 대한 FIB 이미지로, (+)회로와 솔더 리지스트 사이에 크랙이 존재하는 것을 확인할 수 있다. 이에 비해 (-)회로에서는 솔더 리지스트와의 사이에서 크랙을 관찰할 수 없었다. 이 (+)회로 주위의 크랙은 전압인가 HAST 시험 중에 동회로가 부식현상(corrosion)으로 인해 동이온(Cu ion)으로 이온화되어 솔더 리지스트 내로 확산해 들어가면서 생긴 크랙으로 판단된다. Fig. 4(b,d)를 보면, (+)회로 주위의 솔더 리지스트내에 포러스한 (porous) 둥근 조직이 관찰됨을 알 수 있고 EDS 분석결과 이 조직은 동산화물 (Cu_xO)로 판단되었다. Fig. 4(c,e)를 보면, (-)회로에서 성장하고 있는 조직을 관찰할 수 있는데 이는 EDS 분석결과 동(Cu)으로 판명되었다. 이러한 Fig. 4의 결과를 토대로 인쇄회로기판에서 전압인가 HAST 시험에 의한 고장메카니즘은 온도/습도/전압 스트레스에 의한 (+)회로의 동부식 (Cu corrosion)과 (+)회로와 (-)회로 사이의 전압차에 의한 동이온 이동 (Cu ion migration) 그리고 (-)회로에서의 동이온과 전자의 결합에 의한 동 환원반응 (Cu metallization)이 이루어지며 이후 계속되는 환원반응에 의한 동 수지상의 성장으로 (+)회로와 (-)회로 사이의 전류 단락 (Leakage)이 발생하여 고장이 발생하는 것으로 판단된다. 이는 동이온 이동 (Cu ion-migration)에 관련한 선행 연구자들에 의해 보고 되었던 메커니즘과 동일한 것으로 판단된다[5-7].

이상의 동부식 (Cu corrosion) 고장메커니즘을 토대로 온도/습도 가속모델에 전압항을 추가한 변형 Peck 모델을 가정하였다[8,9].

$$TTF = A0(RH)^{(-n)}f(V)\exp\frac{Ea}{kT} \quad (1)$$

여기서 TTF는 time to failure, $A0$는 scale factor, RH는 상대습도(%), n은 실험 결정 상수, $f(V)$는 전압에 대한 항, Ea는 활성화 에너지, k는 볼쯔만 상수

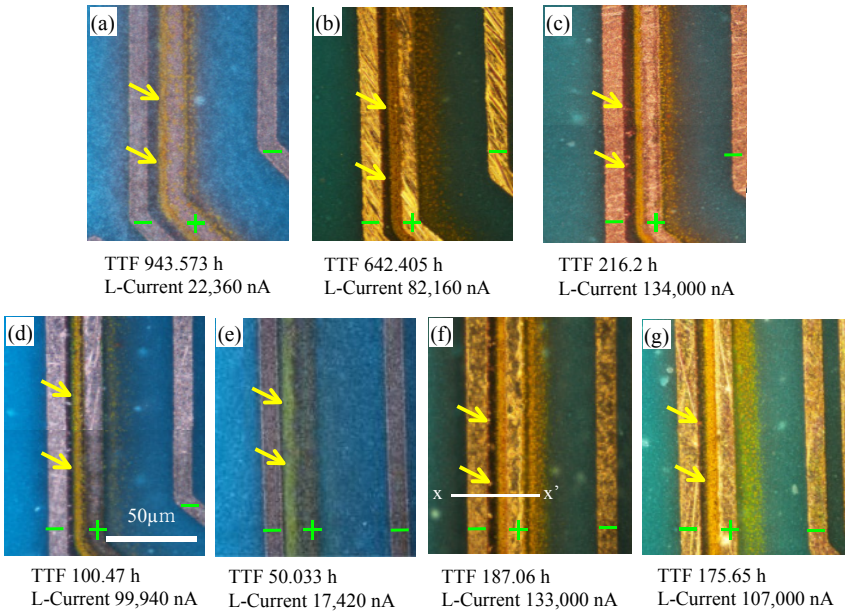


Fig. 3 Horizontal optical views for the failed samples after biased HAST; (a) Leg 1, (b) Leg 2, (c) Leg 3, (d) Leg 4, (e) Leg 5, (f) Leg 6, and (g) Leg 7

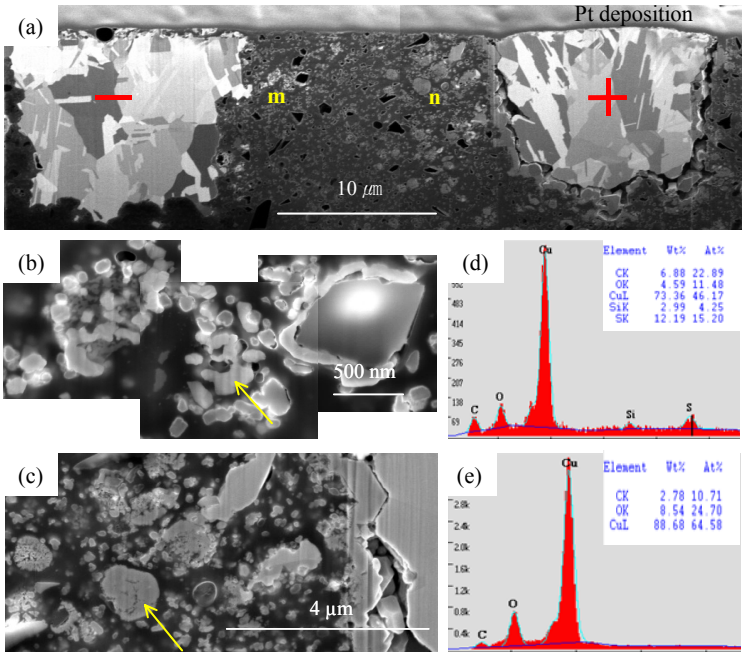


Fig. 4 FIB images and EDS profile of Leg 6 failed at 187.6h under biased HAST; (a) vertical view for a couple of test nets and solder resist, (b) and (c) SEM images enlarged m and n in (a), and (d) and (e) EDS profile of yellow arrow in (b) and (c)

$(8.62 \times 10^{-5}$ eV/K), T는 캘빈온도이다.

본 연구에서 전압항인 $f(V)$를 Eyring모델의 전압가속 모델을 참조하여 전압항과 상호 교호작용이 없다는 가정하에 다음과 같이 가정하였다.

$$TTF = A0(RH)^{(-n)}(V)^{(-m)}\exp\frac{Ea}{kT} \quad (2)$$

여기서 V는 전압, m은 실험 결정 상수이다.

식(2)를 가속계수(acceleration factor) 식으로 나타내면 다음과 같다.

$$AF = (RH_{use}\ /RH_{stress})^{(-n)}(V_{use}\ /V_{stress})^{(-m)} \exp\frac{Ea}{k}(1/T_{use} - 1/T_{stress}) \quad (3)$$

선행 연구자들의 의하며[8,9] 반도체 엑폭시계 몰딩재료에서의 알루미늄 부식 고장메커니즘를 토대로 가정된 Peck모델의 수명분포는 로그정규분포 (log-normal distribution)으로 계산하였으며 본 연구에서도 로그정규분포를 이용하여 통계 분석을 진행하였다.

Fig. 4는 전압인가 HAST시험에 의한 Leg들의 고장시간 분포를 미니텝 프로그램의 로그정규 확률분포를 사용하여 그래프로 나타내었다. 온도/습도/전압에 관한 시험에서 스트레스에 의해 평균고장시간이 줄어들었음을 알 수 있다. 각 Leg별 로그정규분포에서 scale값은 0.15~0.42까지의 분포를 보이고 있으며 이는 로그정규분포에서 정규분포보다 우측 치우침 (positive skewness)을 갖는 분포형태로 초기 마모고장 형태를 갖는다. Leg별 로그정규분포를 통하여 측정 중앙수명 (observed median life)를 구하였으며 이를 Table 2에 나타내었다. Table 2에는 110℃/85%Rh/3.5V HAST시험조건의 Leg1을 기준으로 한 측정 중앙수명 (observed median life)과 각 Leg들의 측정 중앙수명 비율인 Ro를 구하여 나타내었다. 이것은 Leg1의 측정 중앙수명을 1로 하였을 때 Leg들의 측정 중앙수명을 비율로 표현한 것이다 (Leg1을 기준으로 한 Leg들의 가속계수와 동일 개념임).

Leg별 고장시간데이터의 로그정규분포로부터 식(3)의 m, n, Ea를 계산하였다. Leg1, Leg6과 Leg7의 전압 가속 시험결과로부터 m값을, Leg1, Leg4와 Leg5의 상대습도 가속 시험결과로부터 n값을, Leg1, Leg2와 Leg3의 온도 가속 시험결과로부터 다음과 같이 구하였다.

A0=4.27 TIMES 1015, m=0.3127, n=14.3, Ea = 1.17 eV

이렇게 구해진 값들을 대입하여 식(2)을 다음과 같이 나타낼 수 있다.

$$TTF = 4.27 \times 10^{15}(RH)^{(-14.3)}(V)^{(-0.3127)} \exp\frac{1.17}{kT} \quad (4)$$

Table 2 Observed and calculated median lives for log-normal distributions

Leg	Temp. (℃)	Humid. (%Rh)	Volt. (V)	Sample size	Observation		Calculation	
					Median life (h)	Ro†	Median life (h)	Rc‡
1	110	85	3.5	15	1196.8	1	1884.0	1
2	120	85	3.5	10	514.7	2.355	748.4	2.464
3	130	85	3.5	14	204.2	5.968	317.7	5.805
4	130	90	3.5	15	98.2	11.751	140.3	13.145
5	130	95	3.5	15	41.0	29.672	64.7	28.481
6	130	85	7	15	164.8	7.389	255.8	7.210
7	130	85	10.5	15	142.5	8.477	225.3	8.184
user	50	60	1.9				1.693×10^8	

† Ro: Ratio of observed median life of Legs to that in Leg1 (110℃/85%Rh/3.5V)
‡ Rc: Ratio of calculated median life of Legs to that in Leg1 (110℃/85%Rh/3.5V)

식(4)를 이용하여 계산 중앙수명 (calculated median life)을 Table 2에 나타내었다.

Table 2에는 110℃/85%Rh/3.5V HAST시험조건의 Leg1을 기준으로 한 계산 중앙수명 (calculated median life)과 각 Leg들의 계산 중앙수명 비율인 Rc를 나타내었다.

Fig. 6은 Table 2에서의 Ro와 Rc의 상관그래프를 나타내었다. 상관관계식과 상관계수(R)는 다음과 같이 구해졌다.

$$\log Ro = 1.0044\times\log Rc - 0.0052,\ R = 0.9987 \quad (5)$$

식(5)는 상관계수(R) 0.9987로 log Ro와 log Rc 사이에는 기울기 1.0044와 절편 -0.0052를 갖고 높은 상관관계를 갖고 있음을 알 수 있다. Hallberg 등은 반도체 엑폭시계 몰딩제에서의 알루미늄 부식에 의한 고온/고습에서 Peck모델을 보완하였으며 이렇게 구해진 식은 Fig. 6의 실선으로 표현된 상관계수(R) 0.985, 기울기 0.9777055와 절편 0.00044902를 갖는 Peck-H모델을 보고하였다[9]. Fig. 6에서 보면 식(5)는 110℃ 이상에서는 Peck-H모델보다 높은 가속 특성을 보이는 반면에 110℃ 이하에서는 낮은 가속 특성을 보이고 있다. 본 연구에서 구해진 식(5)는 Ro와 Rc 간에 1.0044라는 높은 매칭성과 0.9987이라는 높은 상관관계를 갖는다는 것을 알 수 있다.

본 연구에 사용된 반도체용 인쇄회로기판의 사용자 환경은 50℃/60%Rh/1.9V로 설정하고 사용자 환경에서의 중앙수명 (median life)를 식(4)와 식(5)를 이용하여 구하였다. 사용자 조건 (50℃/60%Rh/1.9V)에서의 중앙수명은 19,321년 (169,257,403시간)으로 95% 신뢰구간은 (42876.9년, 8706.7년)으로 계산되었다. 이는 엑폭시계 반도체 인쇄회로기판에서 동부식 (Cu corrosion) 고장으로 인한 사용자 조건 중앙수명은 19,321년을 갖는다는 의미이다. 사용자 조건에서의 데이터 신뢰도를 높이기 위해서는 100℃이하에서의 시험 데이터가 필요하다. 선행 연구자들의 데이터를 활용할

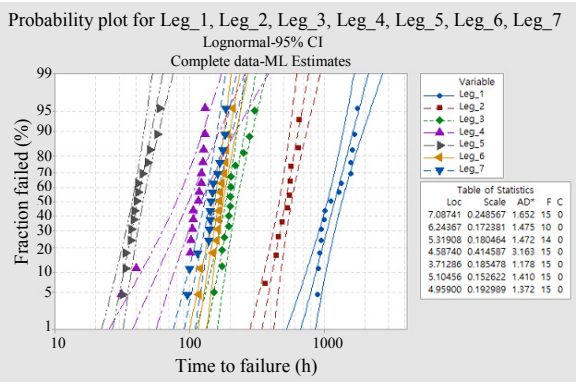


Fig. 5 Log-normal plots for the Legs under biased HAST

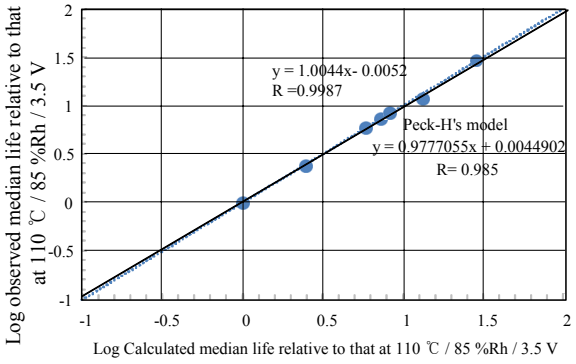


Fig. 6 Correlation diagram over observed and calculated relative median lives in biased HAST

수 있으나, 본 연구에서는 반도체용 인쇄회로기판의 솔더 리지스트와 동회로간의 고온/고습/전압 스트레스에 대한 수명모델을 확립하기 위한 것으로 시험을 통한 데이터로만 한정하였다. 향후 고온/고습 스트레스의 국제표준 (IEC, IPC, JEDEC) 조건인 85℃/85%Rh 에서의 수명시험 데이터를 확보하여 본 수명모델의 신뢰도를 높일 필요가 있다. 또한 재료적인 관점에서 솔더 리지스트의 Tg온도와 흡습률에 관련한 데이터와 수명과의 관계도 규명할 필요가 있다.

본 연구데이터에서 보면 130℃/85%Rh HAST시험조건의 50시간이하에서 고장확률은 0%, 95%신뢰구간은 (0.000, 0.000)이다. B_1 수명은 134.190시간으로 95% 신뢰구간은 (111.863, 160.973)이다. 이러한 데이터로부터 산업계에서는 인쇄회로기판에서의 고온/고습 스트레스에 의한 고장은 초기 고장에 대한 품질모니터링으로 집중할 필요가 있다. 즉, 인쇄회로기판의 제조공정에서의 불량 (솔더 리지스트의 미경화, 파티클 오염, 솔더 리지스트와 절연층 간의 접합불량, 에칭 및 도금액 오염 등)에 대한 품질모니터링을 위한 전압인가 HAST 시험을 130℃/85%Rh에서 50시간이하에서 시행하는 것이 중요하다. 이러한 초기고장 품질모니터링은 LTPD 허용불량율을 산정하고 시료수를 결정하여 주기적으로 시행하는 것이 산업계의 품질 향상에 중요한 부문이 될 것으로 생각된다.

4. 결 론

반도체용 인쇄회로기판의 전압인가 HAST 시험을 통하여 고온/고습/전압 스트레스의 고장메커니즘과 수명모델식을 통하여 사용자 수명을 조사하여 다음과 같은 결론을 얻었다.

1) 고온/고습/전압 스트레스에 의한 인쇄회로기판의 고장메커니즘은 동부식과 이온마이그레이션에 의한 단락불량이다.

2) 금속 부식에 관한 수명모델인 Peck모델을 변형하여 인쇄회로기판의 수명모델을 구하였다.

$$TTF = 4.27 \times 10^{15} (RH)^{(-14.3)} (V)^{(-0.3127)} \exp \frac{1.17}{kT}$$

3) 구해진 수명식에 의하여 사용자 조건 (50℃/60%Rh/1.9V)의 중앙수명 (median life)은 19,321년으로 95% 신뢰구간은 (42876.9, 8706.7)으로 계산되었다.

Acknowledgments

이 논문은 2017~2018년도 창원대학교 자율연구과제 연구비 지원으로 수행된 연구결과임.

ORCID: Seok-Hwan Huh: http://orcid.org/0000-0002-8084-4144

References

1. H.Tanaka and K.S.Kim, Introduction of reliability test technology for electronics package, *J. Microelectron. Packag. Soc.* 19-1, (2012) 1-7 https://doi.org/10.6117/kmeps.2012.19.1.001
2. K.J.Lee, K.S.Kim and K.Suganuma, Electro-migration Phenomenon in Flip-chip Packages, *J. Microelectron. Packag. Soc.* 17, (2010) 11
3. C.Zhang, P.Yalamanchili, M.A.Sheikhley and A.Christou, Metal migration in epoxy encapsulated ECL devices, *Microelectron. Reliab.* 44, (2004) 1323-1330 https://doi.org/10.1016/j.microrel.2004.07.021
4. JEDEC Standard, Preconditioning of Nonhermetic Surface Mount Devices Prior to Reliability Test, Rev. JESD22-A113D, *JEDEC Solid State Technology Association* (2003)
5. S.H.Huh, A.S.Shin and S.J.Ham, Ion Migration Failure Mechanism for Organic PCB under Biased HAST, *J. Microelectron. Packag. Soc.* 22-1, (2015) 43-49 https://doi.org/10.6117/kmeps.2015.22.1.043
6. S.H.Huh, H.J.Lee and K.S.Kim, Effects of NiP Nodule Interfacial Morphology on Solder-Ball-Joint Reliability Nanosci. *Nanotechnol. Lett.* 9, (2017) 1195-1201 https://doi.org/10.1166/nnl.2017.2475
7. W.S.Hong, C.M.Oh, N.C.Park, B.S.Song and S.B.Jung, Reliability Assessment for Electronic Assemblies with-Electrical and Electrochemical Properties Measurement, *Journal of KWJS,* 25, (2007) 118-125
8. D.Stewart Peck, Comprehensive model for humidity testing correlation, IEEE Int'l Reliability Physics Symposium, *24th Annual,* (1986) 44-50
9. O.Hallberg and D.Stewart Peck, Recent humidity accelerations, a base for testing standards, *Quality and Reliability Engineering Int'l 7* (1991) 169-180 https://doi.org/10.1002/qre.4680070308
10. C.Glenn Shirley, THB Reliability models and life Prediction for intermittently-powered non-hermetic components, *32nd Annual Int'l Reliability Physics Symposium,* (1994) 72-77
11. Fatou Dia, Nacire Mbengue, Omar Ngalla Sarr, Moulaye Diagne, Omar A. Niasse, Awa Dieye, Mor Niang, Bassirou Ba and Cheikh Sene, Model associated with the study of the degradation based on the accelerated test, *a literature review, J. Appl. Sci.* 6, (2016) 49-63 https://doi.org/10.4236/ojapps.2016.61006